

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

NAKAGAWA

Group Art Unit: UNKNOWN

Application No.: NEW

Examiner: UNKNOWN

Filed: Concurrently Herewith

Attorney Dkt. No.: 108075-00114

For: SEMICONDUCTOR MEMORY DEVICE AND CONTROL METHOD
THEREFOR

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 6, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

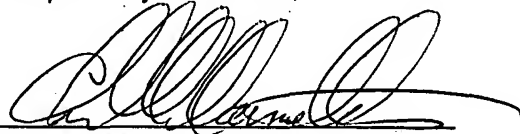
JAPANESE Patent Application No. 2002-231644 filed on August 8, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/jch



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月 8日

出 願 番 号
Application Number:

特願2002-231644

[ST.10/C]:

[JP2002-231644]

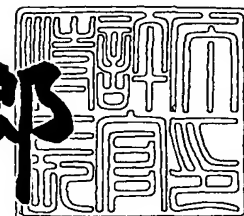
出 願 人
Applicant(s):

富士通株式会社

2002年11月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3090003

【書類名】 特許願

【整理番号】 0240901

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 半導体記憶装置、半導体記憶装置の制御方法及び半導体
記憶装置の試験方法

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
 ィエルエスアイ株式会社内

 【氏名】 中川 祐之

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100068755

 【弁理士】

 【氏名又は名称】 恩田 博宣

【選任した代理人】

 【識別番号】 100105957

 【弁理士】

 【氏名又は名称】 恩田 誠

【手数料の表示】

 【予納台帳番号】 002956

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、半導体記憶装置の制御方法及び半導体記憶装置の試験方法

【特許請求の範囲】

【請求項 1】 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置であって、

前記第 1 アクセスモードを要求する第 1 エントリー信号と前記第 2 アクセスモードを要求する第 2 エントリー信号とを受付け、前記第 1 及び第 2 アクセスモードの処理の優先度を前記第 1 及び第 2 エントリー信号の入力順序に基づいて決定し、前記第 1 エントリー信号に対応した第 1 モードトリガ信号と前記第 2 エントリー信号に対応した第 2 モードトリガ信号とを前記処理の優先度に従って順次出力するアービタと、

前記第 1 モードトリガ信号と前記第 2 モードトリガ信号とに応じた種々の内部動作信号を生成する信号生成回路と、を備え、

前記アービタは、前記第 2 アクセスモードの処理を優先した後、所定の期間に入力される前記第 1 エントリー信号に応答して前記第 1 アクセスモードの処理を優先することを特徴とする半導体記憶装置。

【請求項 2】 前記アービタは、前記所定の期間に於いて前記第 1 エントリー信号が入力されたか否かを前記信号生成回路からの内部動作信号に基づいて判定することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記内部動作信号は、前記第 2 アクセスモードに対応する所定のワード線が活性化されたか否かを示す判定信号であることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記内部動作信号は、前記第 2 アクセスモードに対応する所定のワード線を活性化させるワード線活性化信号であることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 5】 前記第 2 アクセスモードにて使用するアドレス情報を発生させるためのアドレス発生手段を備え、

前記アドレス発生手段は、前記ワード線活性化信号の入力に基づいてアドレス

発生信号を生成することを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 前記アービタは、

前記第 1 エントリー信号と前記第 2 エントリー信号とを受付け、前記第 1 及び第 2 アクセスモードの処理の優先度を前記第 1 及び第 2 エントリー信号の入力順序に基づいて決定する第 1 アービタと、

前記第 1 エントリー信号が前記所定の期間に於いて入力されたか否かを判定する第 2 アービタと、

前記処理の優先度に従って前記第 1 モードトリガ信号を生成するモードトリガ発生回路と、を含み、

前記モードトリガ発生回路は、前記第 1 エントリー信号が前記所定の期間に於いて前記第 2 アービタに入力されるとき、前記第 1 モードトリガ信号を生成することを特徴とする請求項 1 乃至 5 の何れか一項記載の半導体記憶装置。

【請求項 7】 前記第 2 アービタは、前記所定の期間に入力される前記第 1 エントリー信号に応答して前記第 2 アクセスモードの処理を停止させるための取消信号を出力することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記第 2 アービタは、前記停止させた第 2 アクセスモードの処理を前記第 1 アクセスモードの処理後に実行するための再第 2 エントリー信号を出力することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】 第 1 アクセスモードと第 2 アクセスモードを処理する半導体記憶装置の制御方法であって、

前記第 1 アクセスモードと前記第 2 アクセスモードの処理の優先度を決定する第 1 のステップと、

前記処理の優先度に基づいて前記第 2 アクセスモードの処理を開始させる第 2 のステップと、

前記第 2 アクセスモードの処理が開始された後、所定の期間内に於いて前記第 1 アクセスモードを検出する第 3 のステップと、

前記第 3 のステップにて前記第 1 アクセスモードを検出する場合に該第 1 アクセスモードの処理を開始させる第 4 のステップと、
を含むことを特徴とする半導体記憶装置の制御方法。

【請求項 1 0】 第 1 アクセスモードと第 2 アクセスモードを処理する半導体記憶装置の試験方法であって、

外部端子から前記第 2 アクセスモードを行うためのエントリー信号を入力した後、前記第 1 アクセスモードを行うためのエントリー信号を入力して前記第 2 アクセスモードに対応する所定のワード線を活性化させるようにしたことを特徴とする半導体記憶装置の試験方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体記憶装置、半導体記憶装置の制御方法及び半導体記憶装置の試験方法に係り、詳しくは外部アクセス動作と内部アクセス動作とを処理する機能を備えた半導体記憶装置に関するものである。

【0 0 0 2】

近年、電子情報機器等には記憶容量の大きい半導体記憶装置（D R A M : D y n a m i c R a n d o m A c c e s s M e m o r y ）が用いられている。D R A M は、内部回路におけるカウンタ動作に従い、メモリセルに対してセルデータのリフレッシュを行うセルフリフレッシュ機能を有している。このセルフリフレッシュ機能を有する D R A M は、外部からのリフレッシュ操作が不要であるため、低消費電力化が図れると共に、D R A M 周辺の回路設計が簡単化できる利点がある。

【0 0 0 3】

このようなセルフリフレッシュ機能を備えた D R A M においては、データ保持のための内部のリフレッシュ要求（内部アクセス）とデータの書込みあるいは読出しのための外部からのアクセス要求（外部アクセス）とが競合する場合がある。その際、内部アクセスが優先して処理される場合は、外部アクセスは内部アクセスが完了してから行われるために、外部アクセスと内部アクセスとが競合しない場合のアクセスタイムと比べて約 2 倍の時間を要する。このようなアクセスタイムの短縮が求められている。

【0 0 0 4】

【従来の技術】

図 1 9 は、従来のセルフリフレッシュ機能を有した半導体記憶装置（DRAM）の制御回路部分を示すブロック回路図である。

【 0 0 0 5 】

この制御回路 6 1 は、コマンド検出器 6 2、内部コマンド発生回路 6 3、リフレッシュ判定回路 6 4 及びタイミングジェネレータ 6 5 を含み、内部コマンド発生回路 6 3 とリフレッシュ判定回路 6 4 により所謂アービタが構成される。

【 0 0 0 6 】

コマンド検出器 6 2 は、外部入力されるライトコマンド、リードコマンド等の各種のコマンドをデコードし、該デコードしたコマンドに対応するコマンド検出信号を出力する。尚、同図に示す例では、コマンド検出器 6 2 は、リードコマンド `rd` を検出し、リードコマンド検出信号 `rd-cmd` を出力する。

【 0 0 0 7 】

リフレッシュ判定回路 6 4 は、リードコマンド検出信号 `rd-cmd` と図示しない内部リフレッシュタイマから出力されるリフレッシュ要求信号 `ref-req` を入力し、リード動作及びリフレッシュ動作の何れを優先して処理するかを判断する。

【 0 0 0 8 】

その際、リフレッシュ要求信号 `ref-req` がリードコマンド検出信号 `rd-cmd` よりも早いタイミングで入力される場合、リフレッシュ判定回路 6 4 はリフレッシュ動作を優先する。具体的には、リフレッシュ判定回路 6 4 は、リフレッシュ要求信号 `ref-req` に応答して、リフレッシュ開始信号 `ref-start` 及びリフレッシュ状態信号 `ref-state` を生成する。

【 0 0 0 9 】

逆に、リードコマンド検出信号 `rd-cmd` がリフレッシュ要求信号 `ref-req` よりも早いタイミングで入力される場合、リフレッシュ判定回路 6 4 はリード動作を優先する。具体的には、リフレッシュ判定回路 6 4 は、タイミングジェネレータ 6 5 から出力されるリード状態信号 `rd-state` がリセットされるのを待つて（即ちリード動作が完了した後）リフレッシュ開始信号 `ref-start` 及びリフレッシュ状態信号 `ref-state` を出力する。

【 0 0 1 0 】

内部コマンド発生回路 6 3 は、コマンド検出器 6 2 からのリードコマンド検出信号 `rd-cmd` に応答してリード開始信号 `rd-start` を生成する。その際、内部コマンド発生回路 6 3 は、リフレッシュ判定回路 6 4 での判定結果に従い、リフレッシュ動作が選択（優先）される場合にはリフレッシュ状態信号 `ref-state` がリセットされるのを待って（即ちリフレッシュ動作が完了した後）リード開始信号 `rd-start` を出力する。

【 0 0 1 1 】

タイミングジェネレータ 6 5 は、リフレッシュ判定回路 6 4 での判定結果に従い、リフレッシュ動作が選択（優先）される場合には、リフレッシュ開始信号 `ref-start` に応答して、所定のリフレッシュ用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信号 `wl-timing` を生成する。

【 0 0 1 2 】

一方、タイミングジェネレータ 6 5 は、リード動作が選択（優先）される場合には、リード開始信号 `rd-start` に応答して、リード状態信号 `rd-state` を出力すると共に、図示しない外部アドレス信号にて与えられる所定のアドレスに対応したワード線を活性化させるためのワード線活性タイミング信号 `wl-timing` を生成する。

【 0 0 1 3 】

次に、上記制御回路 6 1 を備えた D R A M の動作を説明する。

図 2 0 は、外部アクセス（ここではリード動作）と内部アクセス（リフレッシュ動作）が競合する際に、外部アクセスが優先される場合の動作波形図である。

【 0 0 1 4 】

コマンド検出器 6 2 は、外部入力される制御信号の立ち下がりを検出してリードコマンド `rdb` をデコードし、リードコマンド検出信号 `rd-cmd` を出力する。

今、そのリードコマンド検出信号 `rd-cmd` がリフレッシュ要求信号 `ref-req` よりも早いタイミングでリフレッシュ判定回路 6 4 に入力される。このとき、リフレッシュ判定回路 6 4 はリード動作を優先する。タイミングジェネレータ 6 5 は、内部コマンド発生回路 6 3 から出力されるリード開始信号 `rd-start` に応答してリード状態信号 `rd-state` 及びワード線活性タイミング信号 `wl-timing` を出力し、こ

れにより所定のアドレスに対応するセルデータが読み出される。

【 0 0 1 5 】

そのデータの読出し完了後、リード状態信号rd-stateがリセットされ（立ち下がる）、それに応答してリフレッシュ判定回路64は、リフレッシュ開始信号ref-start 及びリフレッシュ状態信号ref-state を出力する。そのリフレッシュ開始信号ref-start を受けて、タイミングジェネレータ65はワード線活性タイミング信号wl-timing を出力し、これにより所定のリフレッシュ用アドレスに対応するメモリセルのリフレッシュ動作が行われる。

【 0 0 1 6 】

このように、アービタ機能を備える制御回路61において、外部アクセス（リード動作）が優先された場合は、該リード動作が完了した後、リフレッシュ動作が行われる。

【 0 0 1 7 】

図21は、外部アクセスと内部アクセスが競合する際に、内部アクセスが優先される場合の動作波形図である。

コマンド検出器62は、外部入力される制御信号の立ち下がりを検出してリードコマンドrdb をデコードし、リードコマンド検出信号rd-cmdを出力する。

【 0 0 1 8 】

今、リフレッシュ要求信号ref-req がそのリードコマンド検出信号rd-cmdよりも早いタイミングでリフレッシュ判定回路64に入力される。このとき、リフレッシュ判定回路64はリフレッシュ動作を優先し、リフレッシュ開始信号ref-start 及びリフレッシュ状態信号ref-state を出力する。そのリフレッシュ開始信号ref-start を受けて、タイミングジェネレータ65はワード線活性タイミング信号wl-timing を出力し、これにより所定のリフレッシュ用アドレスに対応するメモリセルのリフレッシュ動作が行われる。

【 0 0 1 9 】

そのリフレッシュ動作の完了後、リフレッシュ状態信号ref-state がリセットされ（立ち下がる）、それに応答して内部コマンド発生回路63は、リード開始信号rd-startを出力する。その信号rd-startを受けて、タイミングジェネレータ

65はリード状態信号rd-state及びワード線活性タイミング信号wl-timing を出力し、これにより所定のアドレスに対応するセルデータが読み出される。

【0020】

このように、アービタ機能を備える制御回路61において、内部アクセス（リフレッシュ動作）が優先された場合は、該リフレッシュ動作が完了した後、リード動作が行われる。

【0021】

【発明が解決しようとする課題】

ところで、上記のように、外部アクセス（ここではリード動作）と内部アクセス（リフレッシュ動作）とが競合する際にリフレッシュ動作が優先される場合（図21）は、リード動作がリフレッシュ動作の完了後に実行されるため、外部アクセスにアクセス遅延が生じる。この場合、外部アクセスタイム t_8 （リードコマンドrdbの入力から読出しデータDQの出力までの時間）は、通常のリード動作に要する時間とリフレッシュ動作に要する時間の合計値になり、アクセス競合時にリード動作が優先される場合（図20）の外部アクセスタイム t_7 に比べて約2倍の時間を要する。このような外部アクセスタイムの増大は、デバイスの高速化を妨げる大きな要因である。

【0022】

本発明は上記問題点を解決するためになされたものであって、その目的は外部アクセスと内部アクセスとが競合する際の外部アクセスタイムを短縮することのできる半導体記憶装置、半導体記憶装置の制御方法及び半導体記憶装置の試験方法を提供することにある。

【0023】

【課題を解決するための手段】

上記目的を達成するため、請求項1, 9に記載の発明によれば、第1エントリー信号と第2エントリー信号とを受付け、第1アクセスモードと第2アクセスモードの処理の優先度を前記第1及び第2エントリー信号の入力順序に基づいて決定し、第1モードトリガ信号と第2モードトリガ信号とを前記処理の優先度に従って順次出力するアービタは、第2アクセスモードの処理を優先した後、所定の

期間に入力される第1エン트리信号に応答して第1アクセスモードの処理を優先する。これにより、アクセス競合時には、実質的に第2アクセスモードに対応するワード線が活性化されるまで第1アクセスモードを優先できる。従って、第1アクセスモード実行時におけるアクセス遅延を低減させることができる。

【0024】

請求項2に記載の発明によれば、アービタは、前記所定の期間に於いて第1エン트리信号が入力されたか否かを信号生成回路から出力される内部動作信号に基づいて判定する。

【0025】

請求項3に記載の発明によれば、信号生成回路は、第2アクセスモードに対応する所定のワード線が活性化されたか否かを示す判定信号を出力し、この判定信号に基づいて、アービタは第1アクセスモードを優先するか否かを判定する。

【0026】

請求項4に記載の発明によれば、信号生成回路は、第2アクセスモードに対応する所定のワード線を活性化させるワード線活性化信号を出力し、このワード線活性化信号に基づいて、アービタは第1アクセスモードを優先するか否かを判定する。

【0027】

請求項5に記載の発明によれば、第2アクセスモードにて使用するアドレス情報を発生させるためのアドレス発生手段は、前記ワード線活性化信号の入力に基づいてアドレス発生信号を生成する。これにより、リフレッシュ動作が中止された場合に、該中止されたりフレッシュ動作を次のリフレッシュサイクルにて確実に実行可能である。

【0028】

請求項6に記載の発明によれば、前記アービタは、第1アービタ、第2アービタ及びモードトリガ発生回路を含む。第1アービタは、第1エン트리信号と第2エン트리信号とを入力し、第1アクセスモードと第2アクセスモードの何れを優先して処理するかを判定する。そして、モードトリガ発生回路は、その第1アービタの判定結果に基づいて第1モードトリガ信号を生成すると共に、第1エ

ントリー信号が前記所定の期間に於いて第 2 アービタに入力される場合に第 1 モードトリガ信号を出力する。

【 0 0 2 9 】

請求項 7 に記載の発明によれば、第 2 アービタは、前記所定の期間に入力される第 1 エントリー信号に応答して第 2 アクセスモードの処理を停止させるための取消信号を出力する。

【 0 0 3 0 】

請求項 8 に記載の発明によれば、第 2 アービタは、前記停止させた第 2 アクセスモードの処理を前記第 1 アクセスモードの処理後に実行するための再第 2 エントリー信号を出力する。

【 0 0 3 1 】

請求項 1 0 に記載の発明によれば、第 1 アクセスモードと第 2 アクセスモードを処理する半導体記憶装置の試験を行う際は、外部端子から第 2 アクセスモードを行うためのエントリー信号を入力した後、第 1 アクセスモードを行うためのエントリー信号を入力して前記第 2 アクセスモードに対応する所定のワード線を活性化させるようにした。このような試験方法では、第 1 アクセスモードにてアクセスタイムが最大となる状態を擬似的に再現することが可能である。

【 0 0 3 2 】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図 1 ～図 5 に従って説明する。

【 0 0 3 3 】

図 1 は、本実施形態のセルフリフレッシュ機能を有した半導体記憶装置（DRAM）の制御回路部分を示すブロック回路図である。尚、説明の便宜上、図 1 9 と同様の構成については同一符号を付して説明する。

【 0 0 3 4 】

制御回路 1 1 は、エントリー検出回路としてのコマンド検出器 1 2、アービタ 1 3 及び信号生成回路としてのタイミングジェネレータ 1 4 を含む。アービタ 1 3 は、モードトリガ発生回路としての内部コマンド発生回路 1 5 と、第 1 アービ

タとしての第1リフレッシュ判定回路16と、第2アービタとしての第2リフレッシュ判定回路17とを備える。

【0035】

コマンド検出器12は、外部入力されるライトコマンド、リードコマンド等の各種のコマンドをデコードし、該デコードしたコマンドに対応する第1エントリ－信号としてのコマンド検出信号を出力する。尚、本実施形態において、例えばコマンド検出器12はリードコマンドrdb をデコードし、リードコマンド検出信号rd-cmdを第1エントリ－信号としてを出力する。

【0036】

第1リフレッシュ判定回路16は、コマンド検出器12からのリードコマンド検出信号rd-cmdと図示しない内部リフレッシュタイマから出力される第2エントリ－信号としてのリフレッシュ要求信号ref-req とを受付け、それらの入力順序から第1アクセスモードと第2アクセスモードの処理の優先度を決定する。尚、第1アクセスモードは、外部アクセスとしてのリード動作／ライト動作である（本実施形態ではリード動作）。また、第2アクセスモードは、内部アクセスとしてのリフレッシュ動作である。

【0037】

詳述すると、リフレッシュ要求信号ref-req がリードコマンド検出信号rd-cmd よりも早く入力される場合、第1リフレッシュ判定回路16はリフレッシュ動作を優先する。この場合、第1リフレッシュ判定回路16は、リフレッシュ開始信号ref-start（第2モードトリガ信号）とリフレッシュ状態信号ref-state とを出力する。

【0038】

逆に、リードコマンド検出信号rd-cmdがリフレッシュ要求信号ref-req よりも早く入力される場合、第1リフレッシュ判定回路16はリード動作を優先させる。この場合、第1リフレッシュ判定回路16は、後述するタイミングジェネレータ14から出力されるリード状態信号rd-stateがリセットされるのを待つて（即ちリード動作が完了した後）、リフレッシュ開始信号ref-start とリフレッシュ状態信号ref-state とを出力する。

【 0 0 3 9 】

内部コマンド発生回路 1 5 は、リードコマンド検出信号 rd-cmd に応答してリード開始信号 rd-start (第 1 モードトリガ信号) を出力する。その際、内部コマンド発生回路 1 5 は、第 1 リフレッシュ判定回路 1 6 での判定結果に従い、リフレッシュ動作がリード動作よりも優先される場合には、リフレッシュ状態信号 ref-state がリセットされるのを待って (即ちリフレッシュ動作が完了した後)、リード開始信号 rd-start を出力する。

【 0 0 4 0 】

第 2 リフレッシュ判定回路 1 7 は、リードコマンド検出信号 rd-cmd と判定信号としてのリフレッシュ判定タイミング信号 ref-judge とに基づいて、リード動作及びリフレッシュ動作の処理の優先度を最終的に決定する。

【 0 0 4 1 】

詳述すると、第 2 リフレッシュ判定回路 1 7 は、第 1 リフレッシュ判定回路 1 6 によりリフレッシュ動作が優先された後、所定の期間にリードコマンド検出信号 rd-cmd が入力されると、リフレッシュ動作を途中で取り止めてリード動作を優先させる。尚、前記所定の期間とは、後述するタイミングジェネレータ 1 4 から出力されるワード線活性化信号としてのワード線活性タイミング信号 wl-timing により、リフレッシュ動作の対象となるメモリセルのアドレス (リフレッシュ用アドレス) に対応したワード線が活性化されるまでの期間である。

【 0 0 4 2 】

第 2 リフレッシュ判定回路 1 7 は、リフレッシュ動作がその所定期間内の動作段階であるか否かをタイミングジェネレータ 1 4 から出力されるリフレッシュ判定タイミング信号 ref-judge に基づいて判断する。即ち、第 2 リフレッシュ判定回路 1 7 は、第 1 リフレッシュ判定回路 1 6 によりリフレッシュ動作が優先された後、リフレッシュ判定タイミング信号 ref-judge が入力されている間にリードコマンド検出信号 rd-cmd が入力される (又は入力されている) と、リフレッシュ取消信号 ref-skip を出力する。

【 0 0 4 3 】

第 1 リフレッシュ判定回路 1 6 は、第 2 リフレッシュ判定回路 1 7 からのリフ

レッシュ取消信号ref-skipに応答してリフレッシュ状態信号ref-state をリセットする。そして、内部コマンド発生回路 1 5 は、そのリセットされたリフレッシュ状態信号ref-state に応答してリード開始信号rd-startを出力する。

【 0 0 4 4 】

タイミングジェネレータ 1 4 は、第 1 リフレッシュ判定回路 1 6 での判定結果に従い、リフレッシュ動作が選択（優先）される場合は、リフレッシュ判定タイミング信号ref-judge を出力し、その後、所定のリフレッシュ用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信号wl-timing を出力する。

【 0 0 4 5 】

一方、タイミングジェネレータ 1 4 は、第 1 リフレッシュ判定回路 1 6 によりリード動作が選択（優先）される場合は、リード状態信号rd-stateを出力するとともに、図示しない外部アドレス信号に基づく所定のアドレスに対応したワード線を活性化させるためのワード線活性タイミング信号wl-timing を出力する。

【 0 0 4 6 】

図 2 は、図 1 の制御回路 1 1 の具体的な一構成例を示す回路図である。

コマンド検出器 1 2 は、リードコマンドrdb の立ち下がりに応答してワンショットパルスのリードコマンド検出信号rd-cmdを生成する。

【 0 0 4 7 】

同様に、内部コマンド発生回路 1 5 は、リードコマンド検出信号rd-cmdの立ち上がりに応答してワンショットパルスのリード開始信号rd-startを生成する。その際、リフレッシュ状態信号ref-state がセット（Hレベル）されている場合には、内部コマンド発生回路 1 5 は、そのリフレッシュ状態信号ref-state がリセット（Lレベル）された後、リード開始信号rd-startを出力する。

【 0 0 4 8 】

同様に、第 1 リフレッシュ判定回路 1 6 は、リフレッシュ要求信号ref-req の立ち上がりに応答してワンショットパルスのリフレッシュ開始信号ref-start を生成する。その際、リード状態信号rd-stateがセット（Hレベル）されている場合には、第 1 リフレッシュ判定回路 1 6 は、そのリード状態信号rd-stateがリセ

ット（Lレベル）された後、リフレッシュ開始信号ref-start を出力する。

【0049】

この第1リフレッシュ判定回路16は、リフレッシュ開始信号ref-start を出力すると同時に、リフレッシュ状態信号ref-state をセットする。このリフレッシュ状態信号ref-state は、プリチャージ信号precharge 或いは第2リフレッシュ判定回路17からのリフレッシュ取消信号ref-skipによってリセットされる。

【0050】

第2リフレッシュ判定回路17は、リフレッシュ判定タイミング信号ref-judge の入力（Hレベル）時に於いて、リードコマンド検出信号rd-cmdの入力（Hレベル）を検出すると、リフレッシュ取消信号ref-skipを生成する。このリフレッシュ取消信号ref-skipは、リフレッシュ動作を途中で取り止めるための処理（具体的にはリフレッシュ状態信号ref-state をリセットし、且つ、ワード線活性タイミング信号wl-timing の発生を中止する）が完了するまでアクティブ（Hレベル）に保持される。

【0051】

タイミングジェネレータ14は、リード開始信号rd-startの立ち上がりに対応して、リード状態信号rd-state及び図示しない外部アドレス信号に基づく所定のアドレスに対応したワード線を活性化させるためのワード線活性タイミング信号wl-timing を生成する。これらのリード状態信号rd-state及びワード線活性タイミング信号wl-timing は、リード動作が終了した後、プリチャージ信号precharge によってリセットされる。

【0052】

一方、タイミングジェネレータ14は、リフレッシュ開始信号ref-start の立ち上がりに対応して、リフレッシュ判定タイミング信号ref-judge を生成し、その後、リフレッシュ用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信号wl-timing を生成する。尚、リフレッシュ判定タイミング信号ref-judge は、ワード線活性タイミング信号wl-timing が発生する（立ち上がる）直前までアクティブ（Hレベル）となるように生成される。

【0053】

タイミングジェネレータ 1 4 は、第 2 リフレッシュ判定回路 1 7 からリフレッシュ取消信号 ref-skip が出力される場合にワード線活性タイミング信号 wl-timing の発生を中止し、出力されない場合にはそのままワード線活性タイミング信号 wl-timing の発生を行う。尚、ワード線活性タイミング信号 wl-timing は、リフレッシュ動作が終了した後、プリチャージ信号 precharge によってリセットされる。

【 0 0 5 4 】

次に、上記のように構成された制御回路 1 1 を備える D R A M の作用を図 3 ～ 図 5 に従って説明する。

図 3 は、外部アクセス（本例ではリード動作）と内部アクセス（リフレッシュ動作）との競合時に、リードコマンド検出信号 rd-cmd がリフレッシュ要求信号 ref-req よりも早いタイミングで第 1 リフレッシュ判定回路 1 6 に入力される場合の動作波形図である。

【 0 0 5 5 】

コマンド検出器 1 2 は、外部から入力される制御信号の立ち下がりを検出してリードコマンド rdb をデコードし、リードコマンド検出信号 rd-cmd を出力する。

今、リードコマンド検出信号 rd-cmd が、リフレッシュ要求信号 ref-req よりも早く第 1 リフレッシュ判定回路 1 6 に入力される。

【 0 0 5 6 】

第 1 リフレッシュ判定回路 1 6 は外部アクセスであるリード動作を優先させ、内部コマンド発生回路 1 5 は、リードコマンド検出信号 rd-cmd の立ち上がりに対応してリード開始信号 rd-start を出力する。このリード開始信号 rd-start の立ち上がりに対応してタイミングジェネレータ 1 4 は、リード状態信号 rd-state 及びワード線活性タイミング信号 wl-timing を出力する。これにより、外部アドレス信号（図示略）に基づく所定のアドレスに対応したワード線が活性化され、セルデータが読み出される。

【 0 0 5 7 】

そのデータの読出し完了後、リード状態信号 rd-state がリセットされると、その立ち下がりに対応して第 1 リフレッシュ判定回路 1 6 は、リフレッシュ開始信

号ref-start 及びリフレッシュ状態信号ref-state を出力する。タイミングジェネレータ14は、そのリフレッシュ開始信号ref-start の立ち上がりに応答してワード線活性タイミング信号wl-timing を出力する。これにより、所定のリフレッシュ用アドレスに対応したワード線が活性化され、リフレッシュ動作が行われる。

【0058】

このように、リードコマンド検出信号rd-cmdがリフレッシュ要求信号ref-reqよりも早いタイミングで第1リフレッシュ判定回路16に入力される場合はリード動作が優先される。即ち、リフレッシュ動作は、リード動作が完了した後に行われる。従って、この場合、外部アクセスタイムt1（リードコマンドrdb が入力された後、読出しデータDQが出力されるまでの時間）は、アクセス遅延を生じない。

【0059】

図4は、アクセス競合時において、タイミングジェネレータ14からリフレッシュ判定タイミング信号ref-judge が出力されたとき、リードコマンド検出信号rd-cmdが第2リフレッシュ判定回路17に入力されている場合の動作波形図である。

【0060】

コマンド検出器12は、外部から入力される制御信号の立ち下がりを検出してリードコマンドrdb をデコードし、リードコマンド検出信号rd-cmdを出力する。

今、リフレッシュ要求信号ref-req が、リードコマンド検出信号rd-cmdよりも早く第1リフレッシュ判定回路16に入力される。

【0061】

第1リフレッシュ判定回路16は内部アクセスであるリフレッシュ動作を優先し、リフレッシュ要求信号ref-req の立ち上がりに応答して、リフレッシュ開始信号ref-start 及びリフレッシュ状態信号ref-state を出力する。そのリフレッシュ開始信号ref-start の立ち上がりに応答して、タイミングジェネレータ14はリフレッシュ判定タイミング信号ref-judge を出力する。

【0062】

その際、第2リフレッシュ判定回路17には、リードコマンド検出信号rd-cmdが入力されている(Hレベル)。従って、第2リフレッシュ判定回路17は、リフレッシュ取消信号ref-skipを出力する。

【0063】

第1リフレッシュ判定回路16は、そのリフレッシュ取消信号ref-skipの立ち上がりに対応してリフレッシュ状態信号ref-state をリセットする。また、タイミングジェネレータ14は、同リフレッシュ取消信号ref-skipの立ち上がりに対応してワード線活性タイミング信号wl-timing の発生(図中、一点鎖線で示す)を取り止める。これにより、リフレッシュ動作は途中で中止される。

【0064】

内部コマンド発生回路15は、リフレッシュ状態信号ref-state がリセットされると、その立ち下がりに対応してリード開始信号rd-startを出力する。タイミングジェネレータ14は、そのリード開始信号rd-startの立ち上がりに対応して、リード状態信号rd-state及びワード線活性タイミング信号wl-timing を出力する。これにより、外部アドレス信号(図示略)に基づく所定のアドレスに対応したワード線が活性化されてセルデータが読み出される。

【0065】

このように、リフレッシュ動作が一旦優先された後、リフレッシュ判定タイミング信号ref-judge が入力されている間にリードコマンド検出信号rd-cmdの入力が検出される場合は、リフレッシュ動作が中止されてリード動作が優先される。この場合、外部アクセスタイムt2は、図3に示す外部アクセスタイムt1に比べて若干大きくなるが、リフレッシュ動作が優先されることによるアクセス遅延は生じない。

【0066】

図5は、アクセス競合時において、タイミングジェネレータ14からリフレッシュ判定タイミング信号ref-judge が出力されたとき、リードコマンド検出信号rd-cmdが第2リフレッシュ判定回路17に入力されていない場合の動作波形図である。

【0067】

コマンド検出器 1 2 は、外部から入力される制御信号の立ち下がりを検出してリードコマンド rdb をデコードし、リードコマンド検出信号 rd-cmd を出力する。

今、リフレッシュ要求信号 ref-req が、リードコマンド検出信号 rd-cmd よりも早く第 1 リフレッシュ判定回路 1 6 に入力される。

【 0 0 6 8 】

第 1 リフレッシュ判定回路 1 6 は内部アクセスであるリフレッシュ動作を優先し、リフレッシュ要求信号 ref-req の立ち上がりに対応して、リフレッシュ開始信号 ref-start 及びリフレッシュ状態信号 ref-state を出力する。そのリフレッシュ開始信号 ref-start の立ち上がりに対応して、タイミングジェネレータ 1 4 はリフレッシュ判定タイミング信号 ref-judge を出力する。

【 0 0 6 9 】

その際、第 2 リフレッシュ判定回路 1 7 には、そのリフレッシュ判定タイミング信号 ref-judge の立ち下がり後にリードコマンド検出信号 rd-cmd が入力される。従って、第 2 リフレッシュ判定回路 1 7 はリフレッシュ取消信号 ref-skip を出力しない。即ち、リフレッシュ動作は継続され、タイミングジェネレータ 1 4 はワード線活性タイミング信号 wl-timing を出力する。これにより、所定のリフレッシュ用アドレスに対応したワード線が活性化され、リフレッシュ動作が行われる。

【 0 0 7 0 】

そのリフレッシュ動作の完了後、リフレッシュ状態信号 ref-state がリセットされると、その立ち下がりに対応して、内部コマンド発生回路 1 5 はリード開始信号 rd-start を出力する。タイミングジェネレータ 1 4 は、そのリード開始信号 rd-start の立ち上がりに対応して、リード状態信号 rd-state 及びワード線活性タイミング信号 wl-timing を出力する。これにより、外部アドレス信号（図示略）に基づく所定のアドレスに対応したワード線が活性化されてセルデータが読み出される。

【 0 0 7 1 】

このように、リフレッシュ動作が一旦優先された後、リフレッシュ判定タイミング信号 ref-judge の入力後（具体的には立ち下がり後）にリードコマンド検出

信号rd-cmdが入力される場合は、リフレッシュ動作は継続される。即ち、リード動作は、リフレッシュ動作が完了した後に行われる。従って、この場合、外部アクセスタイム t_3 は、リフレッシュ動作が優先されることによるアクセス遅延を生じる。

【0072】

ところで、上記したように、本実施形態ではリフレッシュ動作が一旦優先された後も、リフレッシュ判定タイミング信号ref-judgeが入力されている間（即ちワード線が活性化されるまで）にリードコマンド検出信号rd-cmdの入力を検出する場合は、リード動作が優先される。このため、本実施形態では、リフレッシュ動作後にリード動作が実施される際の外部アクセスタイム t_3 は、従来（図21参照）にてリフレッシュ動作後にリード動作が実施される際の外部アクセスタイム t_8 に比べて（ $t_8 - t_3$ ）分、短縮される。

【0073】

尚、本実施形態では、リード動作と内部のリフレッシュ動作とが競合する場合について説明したが、リード動作に限らず、ライト動作とリフレッシュ動作とが競合する場合についても同様であり、この場合にも外部アクセスタイムの短縮化を図ることが可能である。

【0074】

以上記述したように、本実施形態によれば、以下の効果を奏する。

（1）外部アクセス（リード動作）と内部アクセス（リフレッシュ動作）との競合時に於いてリフレッシュ動作が一旦優先された後、第2リフレッシュ判定回路17は、リード動作とリフレッシュ動作の何れの処理を優先するかをリフレッシュ判定タイミング信号ref-judgeに基づいて最終的に判断する。従って、アクセス競合時には、実質的にリフレッシュ用アドレスに対応するワード線が活性化されるまでリード動作を優先させることができる。これにより、外部アクセス時のアクセス遅延を低減させることができる。

【0075】

（2）本実施形態では、アクセス競合時にリフレッシュ動作が一旦優先された後、所定の期間内に外部からのリードアクセスを受付ける場合に於いては、リフ

レッシュ動作が優先されることによる外部アクセスの遅延を防止することができる。

【0076】

(3) 本実施形態において、アクセス競合時にリード動作がリフレッシュ動作後に行われる場合の外部アクセスタイム t_3 は、内部アクセス要求(リフレッシュ要求信号 $ref-req$)と外部アクセス要求(リードコマンド rdb)との両入力のタイミング差分にて高速化される。即ち、リフレッシュ動作後にリード動作が行われる場合、最大では、リフレッシュ動作が一旦優先された後、該リフレッシュ動作を途中で中断することのできる時間までのタイミング差分、外部アクセスタイムを短縮することが可能である。

【0077】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図6～図8に従って説明する。

図6は、第二実施形態の制御回路を示すブロック回路図である。尚、この制御回路21は、第一実施形態(図1及び図2)の第1及び第2リフレッシュ判定回路16、17の構成を一部変更(第1及び第2リフレッシュ判定回路22、23)したものである。このため、その他の第一実施形態と同様の構成部分については同一符号を付して説明する。

【0078】

本実施形態において、第2リフレッシュ判定回路23は、リフレッシュ取消信号 $ref-skip$ を出力した後、再第2エントリー信号としてのリフレッシュ再要求信号 $ref-req2$ を出力する。第1リフレッシュ判定回路22は、このリフレッシュ再要求信号 $ref-req2$ に応答して、リフレッシュ開始信号 $ref-start$ とリフレッシュ状態信号 $ref-state$ を、リード状態信号 $rd-state$ がリセットされた後(即ちリード動作が完了した後)に出力する。即ち、第2リフレッシュ判定回路23の判定結果に基づいてリフレッシュ動作が一旦取り止めになった場合は、そのリフレッシュ動作がリード動作の完了後に行われる。

【0079】

図7は、図6の制御回路21の具体的な一構成例を示す回路図である。

第2リフレッシュ判定回路23は、リフレッシュ取消信号ref-skipを出力すると、その信号ref-skipの立ち下がりに応答してワンショットパルスのリフレッシュ再要求信号ref-req2を生成する。このリフレッシュ再要求信号ref-req2を受けて、第1リフレッシュ判定回路22は、リード状態信号rd-stateがリセット（Lレベル）された後、リフレッシュ開始信号ref-start を出力する。

【0080】

図8は、本実施形態において、リフレッシュ再要求信号ref-req2が出力される場合の動作波形図である。

今、第1リフレッシュ判定回路22によりリフレッシュ動作が優先された後、第2リフレッシュ判定回路23からリフレッシュ取消信号ref-skipが出力される。これにより、上述した図4と同様、リフレッシュ状態信号ref-state がリセットされるとともに、ワード線活性タイミング信号wl-timing（図中、一点鎖線で示す）の発生が中止される。即ち、リフレッシュ動作が中止され、リード動作が優先される。

【0081】

第2リフレッシュ判定回路23は、そのリフレッシュ取消信号ref-skipの出力後（立ち下がり後）にリフレッシュ再要求信号ref-req2を出力する。

第1リフレッシュ判定回路22は、そのリフレッシュ再要求信号ref-req2の立ち上がりに応答して、リード状態信号rd-stateがリセットされた後（立ち下がり後）にリフレッシュ開始信号ref-start 及びリフレッシュ状態信号ref-state を出力する。これにより、一旦取り止めになったリフレッシュ動作は、リード動作の完了後に行われる。

【0082】

以上記述したように、本実施形態によれば、以下の効果を奏する。

（1）第2リフレッシュ判定回路23は、リフレッシュ取消信号ref-skipを出力すると、リフレッシュ再要求信号ref-req2を出力する。従って、リフレッシュ動作を途中で取り止め、リード動作を優先して行った場合にも、そのリード動作の完了後に該中断されたリフレッシュ動作が行われる。これにより、セルデータが破壊されることが防止される。

【 0 0 8 3 】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図 9 ～ 図 1 2 に従って説明する。

図 9 は、第三実施形態の制御回路を示すブロック回路図である。尚、この制御回路 3 1 は、第一実施形態 (図 1 及び 図 2) のタイミングジェネレータ 1 4 及び第 2 リフレッシュ判定回路 1 7 の構成を一部変更 (タイミングジェネレータ 3 2 及び第 2 リフレッシュ判定回路 3 3) したものである。このため、その他の第一実施形態と同様の構成部分については同一符号を付して説明する。

【 0 0 8 4 】

本実施形態において、第 2 リフレッシュ判定回路 3 3 には、タイミングジェネレータ 3 2 からのワード線活性タイミング信号 *wl-timing* が入力される (タイミングジェネレータ 3 2 は、リフレッシュ判定タイミング信号 *ref-judge* を生成しない) 。

【 0 0 8 5 】

即ち、第 1 リフレッシュ判定回路 1 6 によりリフレッシュ動作が一旦優先された後、第 2 リフレッシュ判定回路 3 3 は、ワード線活性タイミング信号 *wl-timing* を入力するまでにリードコマンド検出信号 *rd-cmd* を入力する場合には、リフレッシュ動作を取り止めて、リード動作を優先させる。言い換えれば、第 2 リフレッシュ判定回路 3 3 は、リードコマンド検出信号 *rd-cmd* の入力時に於いて、ワード線活性タイミング信号 *wl-timing* が既に入力されている場合には、リフレッシュ動作をそのまま継続する。

【 0 0 8 6 】

図 1 0 は、図 9 の制御回路 3 1 の具体的な一構成例を示す回路図である。

第 2 リフレッシュ判定回路 3 3 は、リードコマンド検出信号 *rd-cmd* が入力されると、ワード線活性タイミング信号 *wl-timing* が入力されているか否かを判定する。その際、入力されていない場合には、そのリードコマンド検出信号 *rd-cmd* に応答してリフレッシュ取消信号 *ref-skip* を出力し、逆に、入力されている場合には、リフレッシュ取消信号 *ref-skip* を出力しない。

【 0 0 8 7 】

図11は、アクセス競合時において、リードコマンド検出信号rd-cmdが（リフレッシュ動作時に出力される）ワード線活性タイミング信号wl-timing よりも早いタイミングで第2リフレッシュ判定回路33に入力される場合の動作波形図である。

【0088】

今、第1リフレッシュ判定回路16は内部アクセスであるリフレッシュ動作を優先し、リフレッシュ要求信号ref-req の立ち上がりに対応して、リフレッシュ開始信号ref-start 及びリフレッシュ状態信号ref-state を出力する。

【0089】

次いで、第2リフレッシュ判定回路33にリードコマンド検出信号rd-cmdが入力される。この時、タイミングジェネレータ32から、ワード線活性タイミング信号wl-timing（図中、一点鎖線で示す）は出力されていない。即ち、第2リフレッシュ判定回路33は、リフレッシュ用アドレスに対応するワード線が未だ活性化されていない状態でリードコマンド検出信号rd-cmdを入力する。従って、第2リフレッシュ判定回路33は、そのリードコマンド検出信号rd-cmdの立ち上がりに対応してリフレッシュ取消信号ref-skipを出力する。

【0090】

これにより、上述した図4と同様、リフレッシュ状態信号ref-state がリセットされるとともに、ワード線活性タイミング信号wl-timing の発生が中止される。即ち、リフレッシュ動作は中止され、リード動作が優先される。

【0091】

このように、リフレッシュ動作が一旦優先された後、リードコマンド検出信号rd-cmdがワード線活性タイミング信号wl-timing よりも早いタイミングで第2リフレッシュ判定回路33に入力される場合は、リフレッシュ動作が中止されてリード動作が優先される。

【0092】

図12は、アクセス競合時において、リードコマンド検出信号rd-cmdが（リフレッシュ動作時に出力される）ワード線活性タイミング信号wl-timing よりも遅いタイミングで第2リフレッシュ判定回路33に入力される場合の動作波形図で

ある。

【0093】

今、第1リフレッシュ判定回路16は内部アクセスであるリフレッシュ動作を優先し、リフレッシュ要求信号ref-reqの立ち上がりに対応して、リフレッシュ開始信号ref-start及びリフレッシュ状態信号ref-stateを出力する。そのリフレッシュ開始信号ref-startの立ち上がりに対応して、タイミングジェネレータ32はワード線活性タイミング信号wl-timingを出力する。

【0094】

次いで、第2リフレッシュ判定回路33にリードコマンド検出信号rd-cmdが入力される。即ち、第2リフレッシュ判定回路33は、リフレッシュ用アドレスに対応するワード線が活性化されている状態でリードコマンド検出信号rd-cmdを入力する。従って、第2リフレッシュ判定回路33は、リフレッシュ取消信号ref-skipを出力しない。これにより、上述した図5と同様、リフレッシュ動作は中止されずに、そのまま継続される。

【0095】

このように、リフレッシュ動作が一旦優先された後、リードコマンド検出信号rd-cmdがワード線活性タイミング信号wl-timingよりも遅いタイミングで第2リフレッシュ判定回路33に入力される場合は、リード動作は、リフレッシュ動作の完了後に実行される。

【0096】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 第2リフレッシュ判定回路33は、リフレッシュ動作実行時にタイミングジェネレータ32から出力されるワード線活性タイミング信号wl-timingに基づいて、リード動作とリフレッシュ動作の何れの処理を優先するかを判断する。即ち、リフレッシュ用アドレスに対応するワード線が活性化されるまでリード動作が優先される。この構成では、リフレッシュ判定タイミング信号ref-judgeを不要とするため、第一実施形態よりも回路構成を簡易化することが可能である。

【0097】

(第四実施形態)

以下、本発明を具体化した第四実施形態を図 1 3 ～図 1 6 に従って説明する。

図 1 3 は、第四実施形態の制御回路を示すブロック回路図である。

【0098】

本実施形態は、アクセス競合時において、外部アクセスタイムが最大となる状態を擬似的に再現して試験を行うためのテストモードに対応した構成を説明するものである。尚、この制御回路 4 1 は、第一実施形態（図 1 及び図 2）の構成に試験用の論理を追加した構成であるため、第一実施形態と同様の構成部分については同一符号を付して説明する。

【0099】

この制御回路 4 1 は、モード切替回路 4 2、コマンド検出器 1 2、アービタ 1 3、タイミングジェネレータ 4 3 を含む。コマンド検出器 1 2 及びアービタ 1 3 は第一実施形態と同様に構成されており、アービタ 1 3 は、前記同様に内部コマンド発生回路 1 5、第 1 及び第 2 リフレッシュ判定回路 1 6、1 7 を備える。

【0100】

モード切替回路 4 2 は、テスト信号 test に基づいて、テストモードと通常モード（非テストモード）とを切り替える。即ち、モード切替回路 4 2 は、テスト信号 test によりスイッチ SW 1、SW 2 を相補にオン・オフし、通常モード時は内部生成されるリフレッシュ要求信号 ref-req を出力（図中、ref-req1）し、テストモード時は専用試験端子としてのテストパッド 4 4（外部端子）から入力されるパルス信号を出力（ref-req1）する。

【0101】

同様に、タイミングジェネレータ 4 3 は、上記テスト信号 test により制御される。詳しくは、タイミングジェネレータ 4 3 は、テストモード時にリフレッシュ開始信号 ref-start を入力すると、コマンド検出器 1 2 から出力されるリードコマンド検出信号 rd-cmd に応答してワード線活性タイミング信号 wl-timing を出力する。尚、このタイミングジェネレータ 4 3 のその他の動作は、第一実施形態と同様であるため、ここでは詳細な説明を省略する。

【0102】

図 1 4 は、図 1 3 の制御回路 4 1 の具体的な一構成例を示す回路図である。

例えば、モード切替回路 4 2 は、H レベルのテスト信号 test に応答してテストモードに切り替え、逆に、L レベルのテスト信号 test に応答して通常モードに切り替える。タイミングジェネレータ 4 3 は、H レベルのテスト信号 test が入力される時にテストモードとして動作し、リフレッシュ要求信号 ref-req1 を入力した後、リードコマンド検出信号 rd-cmd を入力すると、ワード線活性タイミング信号 wl-timing を生成する。

【 0 1 0 3 】

図 1 5 は、テストモード時における動作波形図である。

今、テストパッド 4 4 に所定のパルス信号が供給され、内部生成されるリフレッシュ要求信号 ref-req の代替信号としてモード切替回路 4 2 の出力信号 ref-req1 が第 1 リフレッシュ判定回路 1 6 に入力される。

【 0 1 0 4 】

第 1 リフレッシュ判定回路 1 6 は、その出力信号 ref-req1 の立ち上がりに応答してリフレッシュ開始信号 ref-start 及びリフレッシュ状態信号 ref-state を出力する。

【 0 1 0 5 】

タイミングジェネレータ 4 3 は、そのリフレッシュ開始信号 ref-start の立ち上がりに応答して、リフレッシュ判定タイミング信号 ref-judge を出力する。

次に、リードコマンド rdb が外部から入力され、コマンド検出器 1 2 からリードコマンド検出信号 rd-cmd が出力されると、そのリードコマンド検出信号 rd-cmd の立ち上がりに応答して、タイミングジェネレータ 4 3 はワード線活性タイミング信号 wl-timing を出力する。これにより、所定のリフレッシュ用アドレスに対応したワード線が活性化され、リフレッシュ動作が行われる。

【 0 1 0 6 】

その後は、上述した図 5 と同様、リフレッシュ動作の完了後にリフレッシュ状態信号 ref-state がリセットされ、その立ち下がりに応答して、内部コマンド発生回路 1 5 はリード開始信号 rd-start を出力する。タイミングジェネレータ 4 3 は、そのリード開始信号 rd-start の立ち上がりに応答して、リード状態信号 rd-state 及びワード線活性タイミング信号 wl-timing を出力する。これにより、所定

のアドレスに対応したワード線が活性化されてセルデータが読み出される。

【0107】

このように、リードコマンド検出信号rd-cmdの入力をトリガとしてリフレッシュ動作を開始し、その動作完了後にリード動作を行うようにした場合、外部アクセスタイムt₆は最も大きくなる。

【0108】

一般に、リフレッシュ要求信号ref-reqが入力されてから、それによりワード線活性タイミング信号wl-timingが出力されるまでの時間には、プロセス等の影響によりばらつきが生じる。このため、タイミングジェネレータ43がリフレッシュ開始信号ref-startに応答してワード線活性タイミング信号wl-timingを出力するまでの時間が変動する場合がある。

【0109】

第一実施形態で述べたように、リフレッシュ判定タイミング信号ref-judgeの立ち下がり直後（具体的にはワード線活性タイミング信号wl-timingの立ち上がり直後）にリードコマンド検出信号rd-cmdが入力される場合にリード動作はリフレッシュ動作完了後に行われ、この場合、外部アクセスタイムは最大となる。

【0110】

しかしながら、上記プロセス等の影響によりワード線活性タイミング信号wl-timingの出力タイミングが変動すると、それによって外部アクセスタイムも変動するため、外部アクセスタイムが最大となる状態を精度よく再現することができない。従って、テストモード時には、リードコマンド検出信号rd-cmdの入力（立ち上がり）をトリガとしてワード線活性タイミング信号wl-timingを発生（活性）させるようにすることで、外部アクセスタイムの最大値を正確に測定することが可能となる。

【0111】

尚、本実施形態では、モード切替回路42と接続される専用試験端子としてのテストパッド44（外部端子）を用いて試験を行うが、図16に示すように、モード切替回路45にその他の外部端子としてのパッド46を接続し、このパッド46を用いて本実施形態の試験を行うようにしてもよい。このような構成では、

アセンブリ後にも試験を行うことが可能である。

【0 1 1 2】

(第五実施形態)

以下、本発明を具体化した第五実施形態を図 1 7、図 1 8 に従って説明する。

図 1 7 は、本実施形態を説明するためのブロック回路図である。尚、本実施形態は、リフレッシュ動作時のアドレス（リフレッシュ用アドレス）を設定するための構成について説明するものであり、第一実施形態と同様な構成部分については同一符号を付して説明する。

【0 1 1 3】

アドレス発生手段としてのカウントクロック発生回路 5 1 は、第 1 リフレッシュ判定回路 1 6 及びタイミングジェネレータ 1 4 と接続されている。このカウントクロック発生回路 5 1 にはアドレスカウンタ 5 2 が接続されている。

【0 1 1 4】

リフレッシュ動作時、カウントクロック発生回路 5 1 は、リフレッシュ状態信号 ref-state を入力する状態で、ワード線活性タイミング信号 wl-timing の入力を検出すると、アドレス発生信号としてのカウントアップ信号 count-up を生成する。アドレスカウンタ 5 2 は、このカウントアップ信号 count-up に応答してカウントアップを行い、次のリフレッシュサイクルにて使用するアドレス（リフレッシュ用アドレス）を生成する。尚、図 1 8 は、カウントクロック発生回路 5 1 の一構成例を示す。

【0 1 1 5】

このようなカウントクロック発生回路 5 1 は、ワード線が活性化されてリフレッシュ動作が実際に行われた場合にのみカウントアップ信号 count-up を生成するため、リフレッシュ動作が中止された場合に次のアドレスが生成されることが防止される。即ち、一旦中止されたリフレッシュ動作を次のリフレッシュサイクルにて確実に実行することができる。

【0 1 1 6】

尚、上記各実施形態は、以下の態様で実施してもよい。

- ・ 第 2 実施形態の第 2 リフレッシュ判定回路 1 7 は、リフレッシュ判定タイミ

ング信号ref-judge に基づいて判定動作する構成としたが、リフレッシュ動作を途中で取り止めることのできる期間（第一実施形態中でいう所定の期間）を設定する時間設定手段を内部に備えるようにしてもよい。即ち、このように構成された第2リフレッシュ判定回路は、リフレッシュ判定タイミング信号ref-judge の発生時間に相当する期間にリードコマンド検出信号rd-cmdを受け付ける場合にリフレッシュ動作を取り止める。尚、第二実施形態の第2リフレッシュ判定回路23、第三実施形態の第2リフレッシュ判定回路33においても同様な態様で実施してもよい。

【0117】

・第二実施形態では、リフレッシュ再要求信号ref-req2を生成する第2リフレッシュ判定回路23を第一実施形態に適用したが、このような第2リフレッシュ判定回路23を第三及び第四実施形態に適用することも当然可能である。

【0118】

・第三実施形態では、ワード線活性タイミング信号wl-timing に基づいて判定動作する第2リフレッシュ判定回路33を第一実施形態に適用したが、このような第2リフレッシュ判定回路33を第二及び第四実施形態に適用することも当然可能である。

【0119】

・第五実施形態では、ワード線活性タイミング信号wl-timing に基づいてカウントアップ信号count-upを生成するカウントクロック発生回路51を第一実施形態に適用したが、このようなカウントクロック発生回路51を第二、第三及び第四実施形態に適用することも当然可能である。

【0120】

・第五実施形態では、カウントクロック発生回路51は、ワード線活性タイミング信号wl-timing に基づいてカウントアップ信号count-upを生成する構成としたが、リフレッシュ開始信号ref-start もしくはリフレッシュ状態信号ref-state に基づいてカウントアップ信号count-upを生成する構成にしてもよい。この場合、リフレッシュ取消信号ref-skipが出力された際には、次のリフレッシュサイクルではカウントアップ信号count-upが生成されないようにする。このような構

成を持つカウントクロック発生回路を備えるようにしてもよい。

【 0 1 2 1 】

・各実施形態では、外部アクセスがリード動作（リードコマンド rdb ）である場合について説明したが、ライト動作（即ちライトコマンド）である場合についてもそれぞれ同様の効果を奏する。

【 0 1 2 2 】

・各実施形態を具体的に示した論理構成（図 2，図 7，図 1 0，図 1 4，図 1 8）は一例であり、それらに限定されるものではない。

上記各実施形態の特徴をまとめると以下のようになる。

（付記 1） 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置であって、

前記第 1 アクセスモードを要求する第 1 エントリー信号と前記第 2 アクセスモードを要求する第 2 エントリー信号とを受付け、前記第 1 及び第 2 アクセスモードの処理の優先度を前記第 1 及び第 2 エントリー信号の入力順序に基づいて決定し、前記第 1 エントリー信号に対応した第 1 モードトリガ信号と前記第 2 エントリー信号に対応した第 2 モードトリガ信号とを前記処理の優先度に従って順次出力するアービタと、

前記第 1 モードトリガ信号と前記第 2 モードトリガ信号とに応じた種々の内部動作信号を生成する信号生成回路と、を備え、

前記アービタは、前記第 2 アクセスモードの処理を優先した後、所定の期間に入力される前記第 1 エントリー信号に応答して前記第 1 アクセスモードの処理を優先することを特徴とする半導体記憶装置。

（付記 2） 前記アービタは、前記所定の期間に於いて前記第 1 エントリー信号が入力されたか否かを前記信号生成回路からの内部動作信号に基づいて判定することを特徴とする付記 1 記載の半導体記憶装置。

（付記 3） 前記内部動作信号は、前記第 2 アクセスモードに対応する所定のワード線が活性化されたか否かを示す判定信号であることを特徴とする付記 2 記載の半導体記憶装置。

（付記 4） 前記内部動作信号は、前記第 2 アクセスモードに対応する所定のワ

ード線を活性化させるワード線活性化信号であることを特徴とする付記 2 記載の半導体記憶装置。

(付記 5) 前記第 2 アクセスモードにて使用するアドレス情報を発生させるためのアドレス発生手段を備え、

前記アドレス発生手段は、前記ワード線活性化信号の入力に基づいてアドレス発生信号を生成することを特徴とする付記 4 記載の半導体記憶装置。

(付記 6) 前記アドレス発生手段には、前記第 2 アクセスモードを示す状態信号が入力されることを特徴とする付記 5 記載の半導体記憶装置。

(付記 7) 前記第 2 アクセスモードにて使用するアドレス情報を発生させるためのアドレス発生手段を備え、

前記アドレス発生手段は、前記アービタが、前記第 2 アクセスモードの処理を優先した後、所定の期間に入力される前記第 1 エントリー信号に応答して前記第 1 アクセスモードの処理を優先したとき、アドレス発生信号を生成しないことを特徴とする付記 1 記載の半導体記憶装置。

(付記 8) 前記アービタは、前記所定の期間に於いて前記第 1 エントリー信号が入力されたか否かを判定するための時間設定手段を有することを特徴とする付記 1 記載の半導体記憶装置。

(付記 9) 前記アービタは、

前記第 1 エントリー信号と前記第 2 エントリー信号とを受付け、前記第 1 及び第 2 アクセスモードの処理の優先度を前記第 1 及び第 2 エントリー信号の入力順序に基づいて決定する第 1 アービタと、

前記第 1 エントリー信号が前記所定の期間に於いて入力されたか否かを判定する第 2 アービタと、

前記処理の優先度に従って前記第 1 モードトリガ信号を生成するモードトリガ発生回路と、を含み、

前記モードトリガ発生回路は、前記第 1 エントリー信号が前記所定の期間に於いて前記第 2 アービタに入力されるとき、前記第 1 モードトリガ信号を生成することを特徴とする付記 1 乃至 8 の何れか一記載の半導体記憶装置。

(付記 10) 前記第 2 アービタは、前記所定の期間に入力される前記第 1 エン

トリー信号に応答して前記第 2 アクセスモードの処理を停止させるための取消信号を出力することを特徴とする付記 9 記載の半導体記憶装置。

(付記 1 1) 前記第 2 アービタは、前記停止させた第 2 アクセスモードの処理を前記第 1 アクセスモードの処理後に実行するための再第 2 エントリー信号を出力することを特徴とする付記 1 0 記載の半導体記憶装置。

(付記 1 2) 前記アービタに入力される前記第 2 エントリー信号は、専用試験端子から入力されるパルス信号により供給されることを特徴とする付記 1 乃至 1 1 の何れか一記載の半導体記憶装置。

(付記 1 3) 前記アービタに入力される前記第 2 エントリー信号は、外部端子から入力されるパルス信号により供給されることを特徴とする付記 1 乃至 1 1 の何れか一記載の半導体記憶装置。

(付記 1 4) 前記信号生成回路には、前記ワード線活性化信号の活性を抑止するテスト信号が入力されることを特徴とする付記 1 2 又は 1 3 記載の半導体記憶装置。

(付記 1 5) 前記信号生成回路には、前記ワード線活性化信号を活性させる前記第 1 エントリー信号が入力されることを特徴とする付記 1 2 乃至 1 4 の何れか一記載の半導体記憶装置。

(付記 1 6) 第 1 アクセスモードと第 2 アクセスモードを処理する半導体記憶装置の制御方法であって、

前記第 1 アクセスモードと前記第 2 アクセスモードの処理の優先度を決定する第 1 のステップと、

前記処理の優先度に基づいて前記第 2 アクセスモードの処理を開始させる第 2 のステップと、

前記第 2 アクセスモードの処理が開始された後、所定の期間内に於いて前記第 1 アクセスモードを検出する第 3 のステップと、

前記第 3 のステップにて前記第 1 アクセスモードを検出する場合に該第 1 アクセスモードの処理を開始させる第 4 のステップと、
を含むことを特徴とする半導体記憶装置の制御方法。

(付記 1 7) 前記第 4 のステップは、

前記第 1 アクセスモードを検出する場合に前記第 2 アクセスモードの処理を途中で中止させるようにした第 1 サブステップを含む、ことを特徴とする付記 1 6 記載の半導体記憶装置の制御方法。

(付記 1 8) 前記第 4 のステップは、

前記第 1 サブステップの終了後に前記中止させた第 2 アクセスモードの処理の実行を再要求する第 2 サブステップを含む、ことを特徴とする付記 1 7 記載の半導体記憶装置の制御方法。

(付記 1 9) 前記第 4 のステップの終了後に、前記第 2 サブステップでの再要求に応答して前記第 2 アクセスモードの処理を開始させる第 5 のステップをさらに含むことを特徴とする付記 1 8 記載の半導体記憶装置の制御方法。

(付記 2 0) 前記第 1 アクセスモードは前記半導体記憶装置の外部からデータの読み出し／書き込みを行うモードであり、前記第 2 アクセスモードは前記半導体記憶装置の内部でデータを保証するためのモードであり、

前記第 1 アクセスモードと前記第 2 アクセスモードは互いに非同期で発生するモードであることを特徴とする付記 1 6 乃至 1 9 の何れか一記載の半導体記憶装置の制御方法。

(付記 2 1) 前記所定の期間は、前記第 2 アクセスモードの処理が開始された後、該第 2 アクセスモードに対応する所定のワード線が活性化されるまでの時間であることを特徴とする付記 1 6 乃至 2 0 の何れか一記載の半導体記憶装置の制御方法。

(付記 2 2) 前記第 2 アクセスモードの処理のためのアドレス情報の設定動作を、前記ワード線が活性化された後に行うようにしたことを特徴とする付記 2 1 記載の半導体記憶装置の制御方法。

(付記 2 3) 前記第 2 アクセスモードの処理のためのアドレス情報の設定動作を、前記第 2 アクセスモードの処理を途中で中止させた場合は行わないようにしたことを特徴とする付記 1 7 記載の半導体記憶装置の制御方法。

(付記 2 4) 第 1 アクセスモードと第 2 アクセスモードを処理する半導体記憶装置の試験方法であって、

外部端子から前記第 2 アクセスモードを行うためのエントリー信号を入力した

後、前記第 1 アクセスモードを行うためのエントリー信号を入力して前記第 2 アクセスモードに対応する所定のワード線を活性化させるようにしたことを特徴とする半導体記憶装置の試験方法。

(付記 2 5) 前記第 2 アクセスモードを行うためのエントリー信号の入力は、通常モードからテストモードに切替えて行うことを特徴とする付記 2 4 記載の半導体記憶装置の試験方法。

【 0 1 2 3 】

【 発明の効果 】

以上詳述したように、本発明によれば、外部アクセスと内部アクセスとが競合する際の外部アクセスタイムを短縮することのできる半導体記憶装置、半導体記憶装置の制御方法及び半導体記憶装置の試験方法を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 第一実施形態の制御回路を示すブロック回路図である。

【 図 2 】 図 1 の一構成例を示す回路図である。

【 図 3 】 第一実施形態の動作波形図である。

【 図 4 】 第一実施形態の動作波形図である。

【 図 5 】 第一実施形態の動作波形図である。

【 図 6 】 第二実施形態の制御回路を示すブロック回路図である。

【 図 7 】 図 6 の一構成例を示す回路図である。

【 図 8 】 第二実施形態の動作波形図である。

【 図 9 】 第三実施形態の制御回路を示すブロック回路図である。

【 図 1 0 】 図 9 の一構成例を示す回路図である。

【 図 1 1 】 第三実施形態の動作波形図である。

【 図 1 2 】 第三実施形態の動作波形図である。

【 図 1 3 】 第四実施形態を示すブロック回路図である。

【 図 1 4 】 図 1 3 の一構成例を示す回路図である。

【 図 1 5 】 第四実施形態の動作波形図である。

【 図 1 6 】 別のモード切替回路を示すブロック回路図である。

【 図 1 7 】 第五実施形態を説明するためのブロック回路図である。

【図 1 8】 カウントクロック発生回路の一構成例を示す回路図である。

【図 1 9】 従来の制御回路を示すブロック回路図である。

【図 2 0】 従来の動作波形図である。

【図 2 1】 従来の動作波形図である。

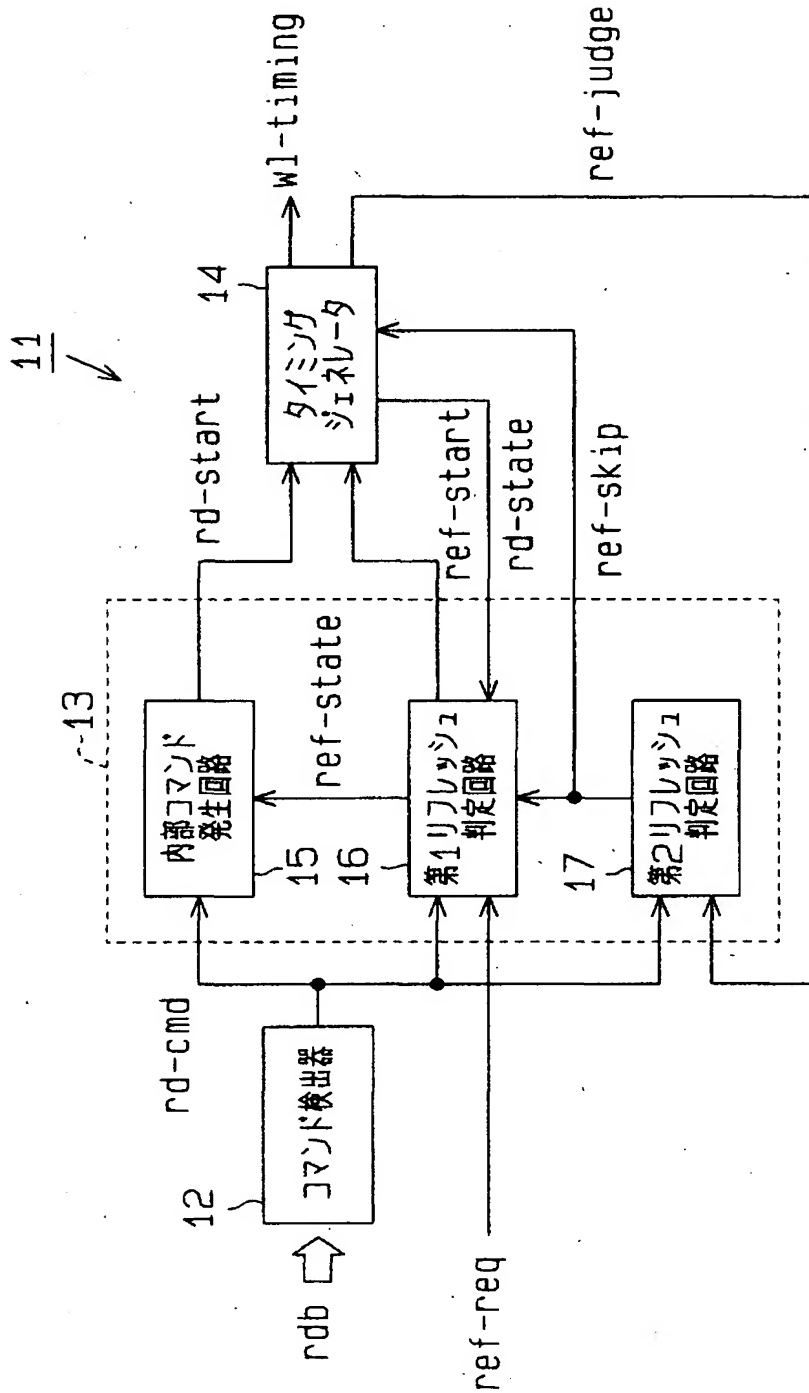
【符号の説明】

rd-cmd 第 1 エントリー信号としてのリードコマンド検出信号
ref-req 第 2 エントリー信号としてのリフレッシュ要求信号
rd-start 第 1 モードトリガ信号としてのリード開始信号
ref-start 第 2 モードトリガ信号としてのリフレッシュ開始信号
ref-judge 判定信号としてのリフレッシュ判定タイミング信号
wl-timing ワード線活性化信号としてのワード線活性タイミング信号
ref-skip 取消信号としてのリフレッシュ取消信号
ref-req2 再第 2 エントリー信号としてのリフレッシュ再要求信号
count-up アドレス発生信号としてのカウントアップ信号
1 4, 3 2, 4 3 信号生成回路としてのタイミングジェネレータ
1 5 モードトリガ発生回路としての内部コマンド発生回路
1 6, 2 2 第 1 アービタとしての第 1 リフレッシュ判定回路
1 7, 2 3, 3 3 第 2 アービタとしての第 2 リフレッシュ判定回路
5 1 アドレス発生手段としてのカウントクロック発生回路

【書類名】 図面

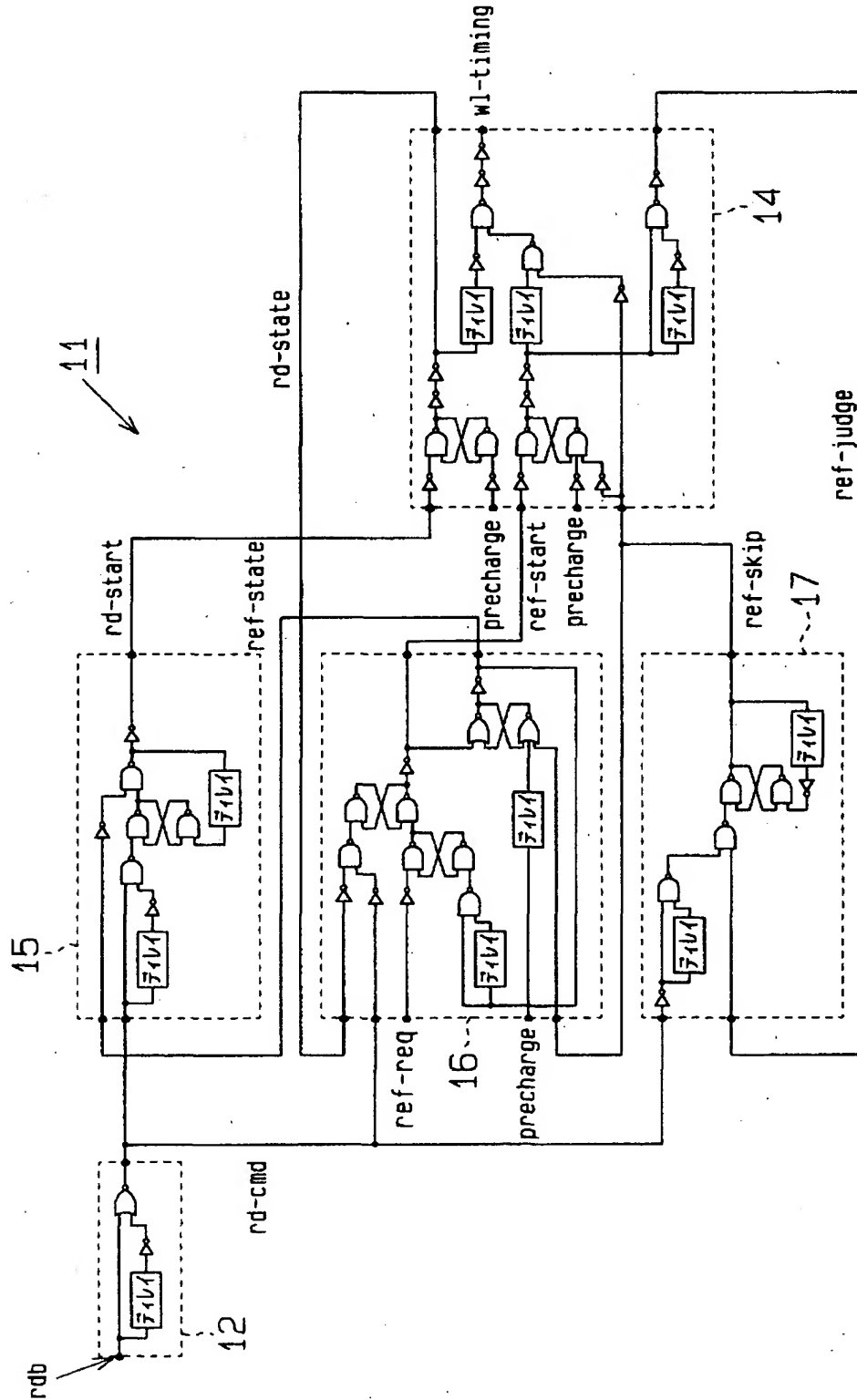
【図1】

第一実施形態の制御回路を示すブロック回路図



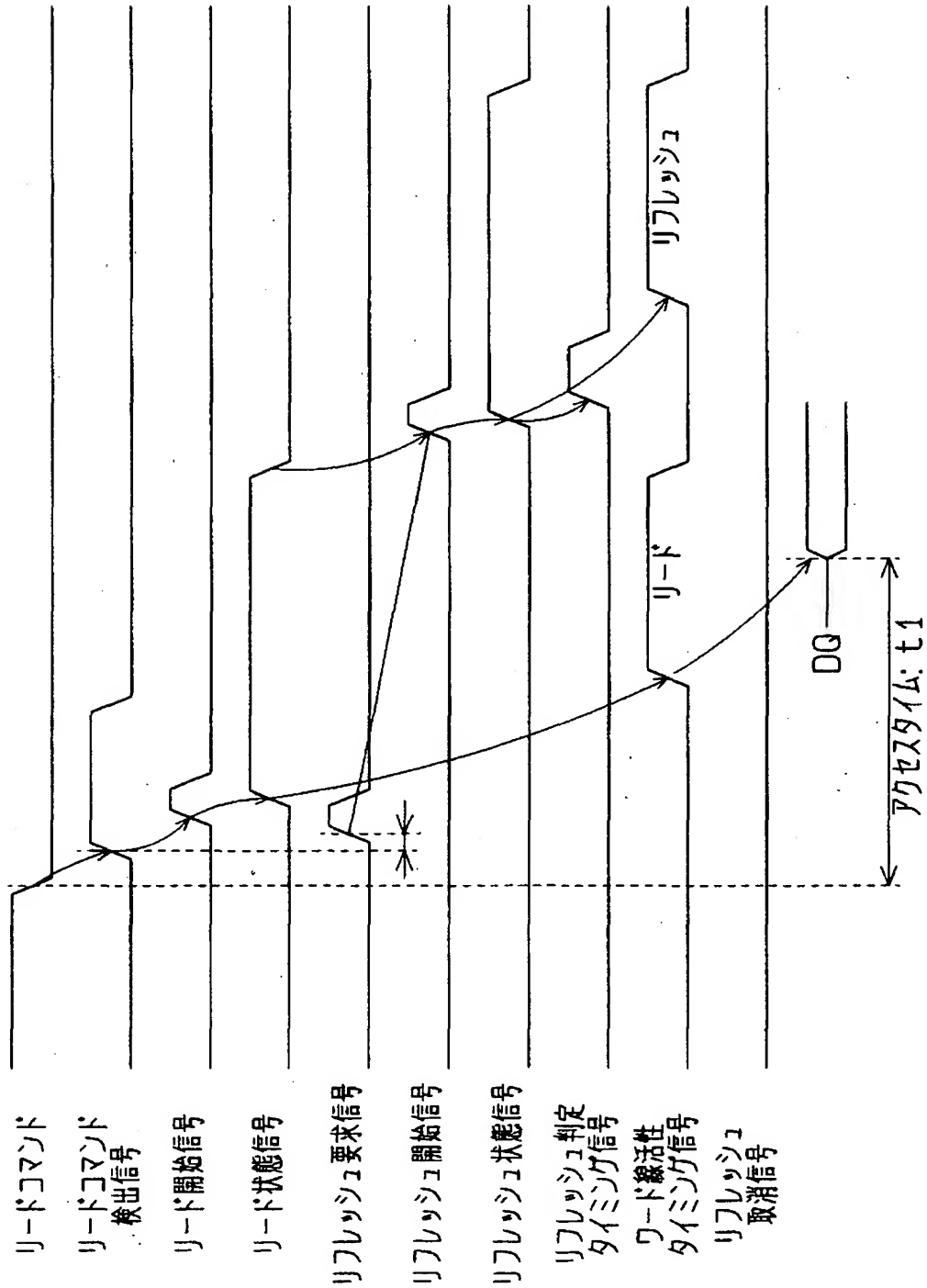
【図2】

図1の一構成例を示す回路図



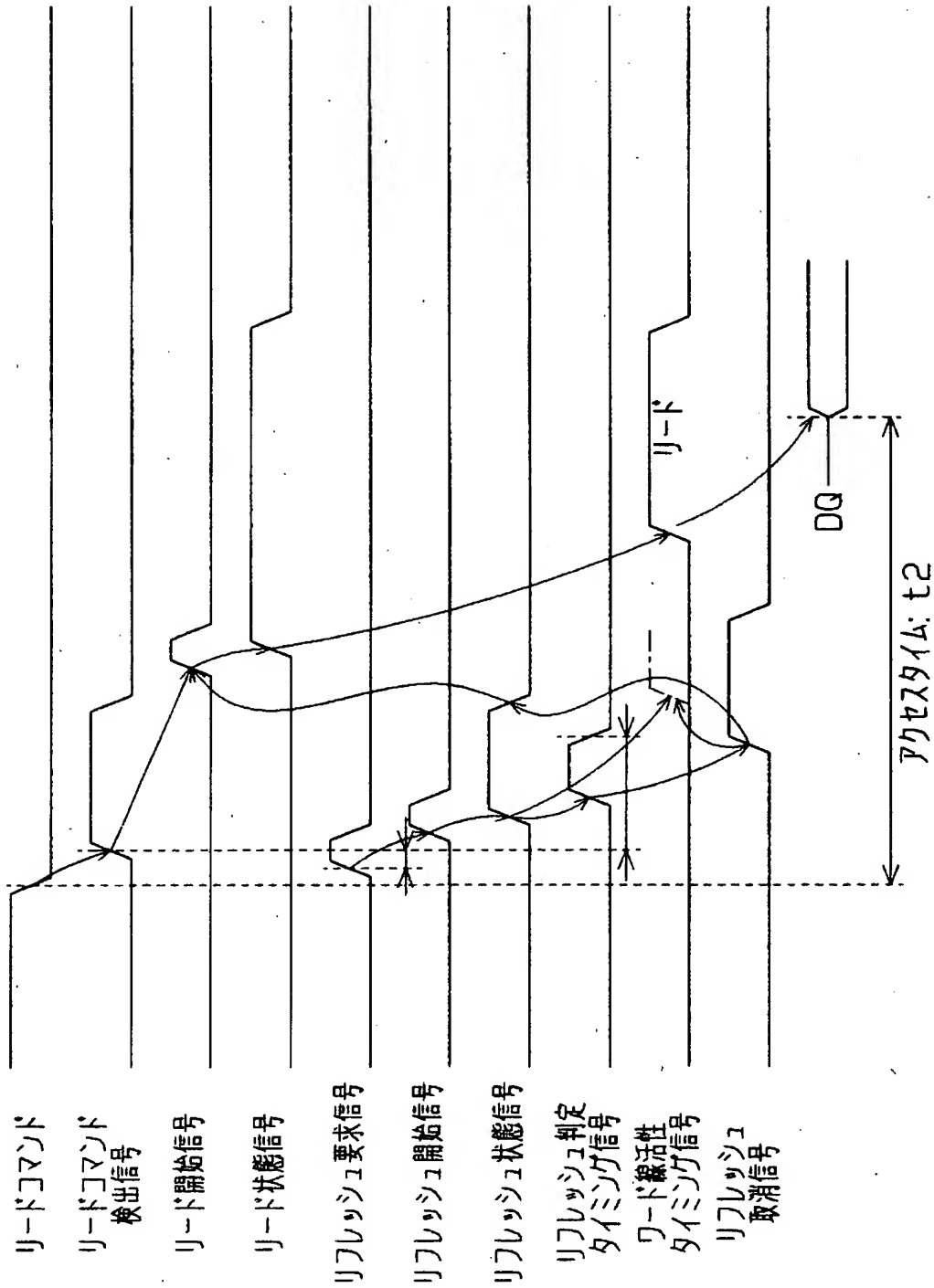
【図 3】

第一実施形態の動作波形図



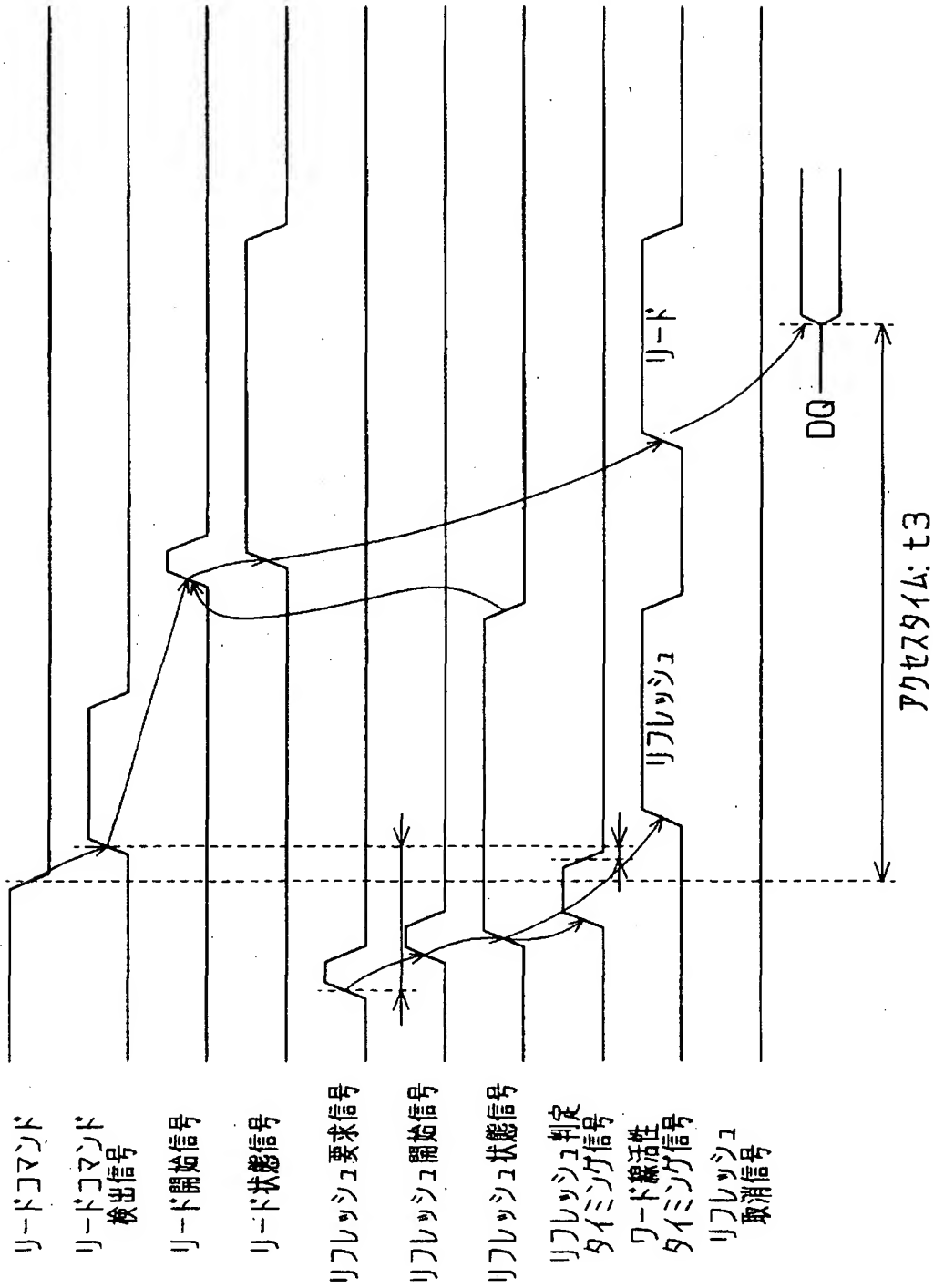
【図 4】

第一実施形態の動作波形図



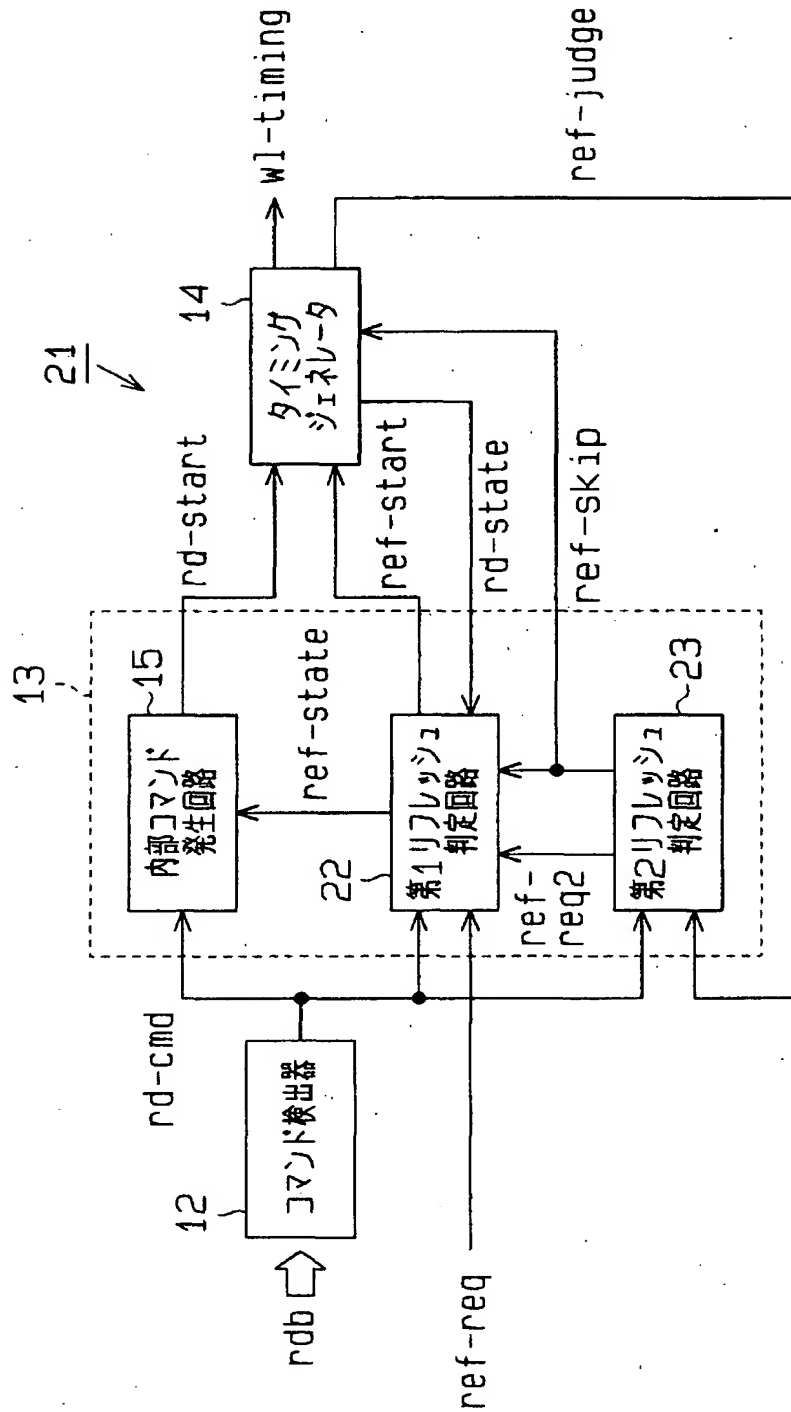
【図 5】

第一実施形態の動作波形図



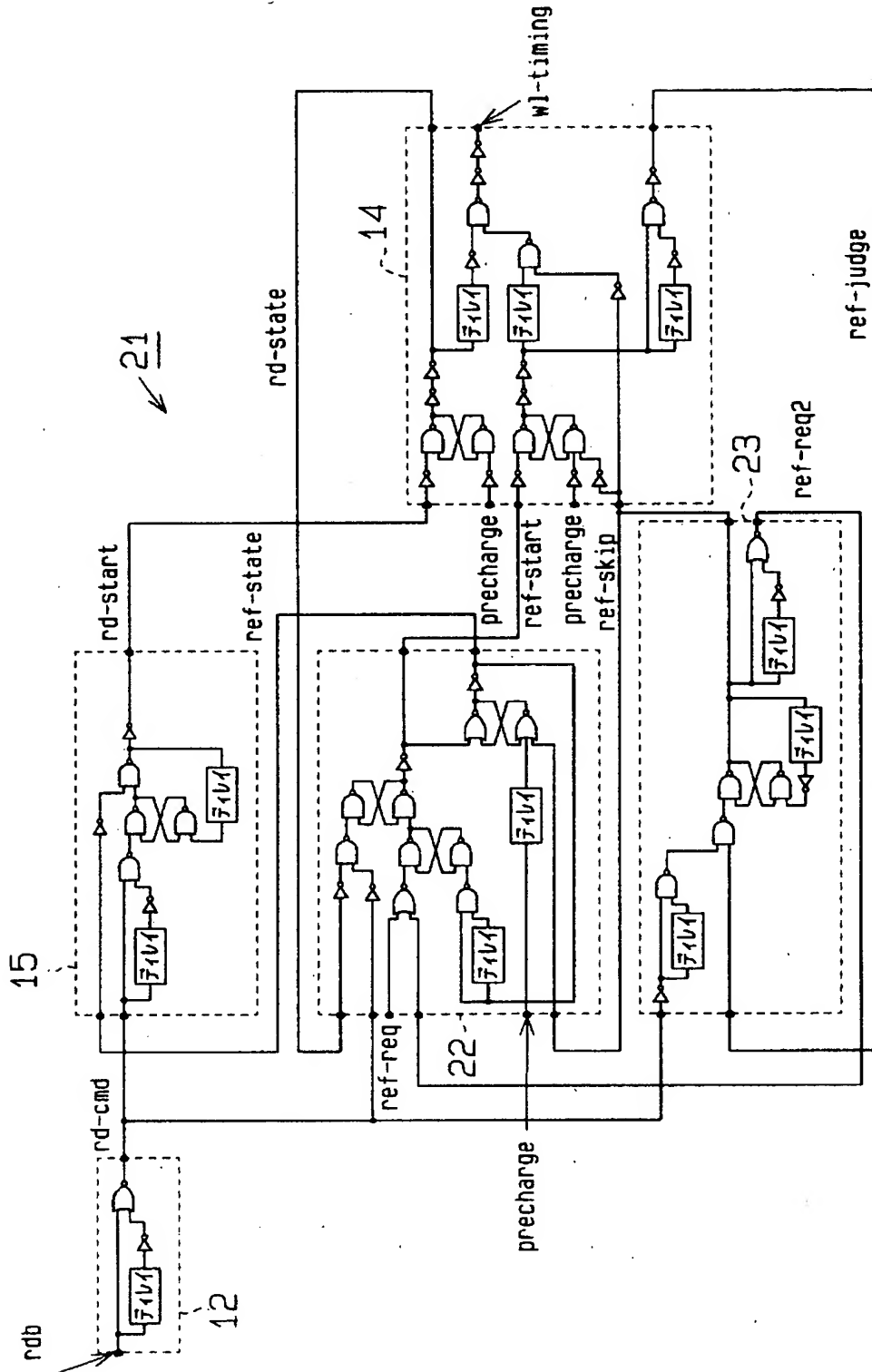
【図 6】

第二実施形態の制御回路を示すブロック回路図



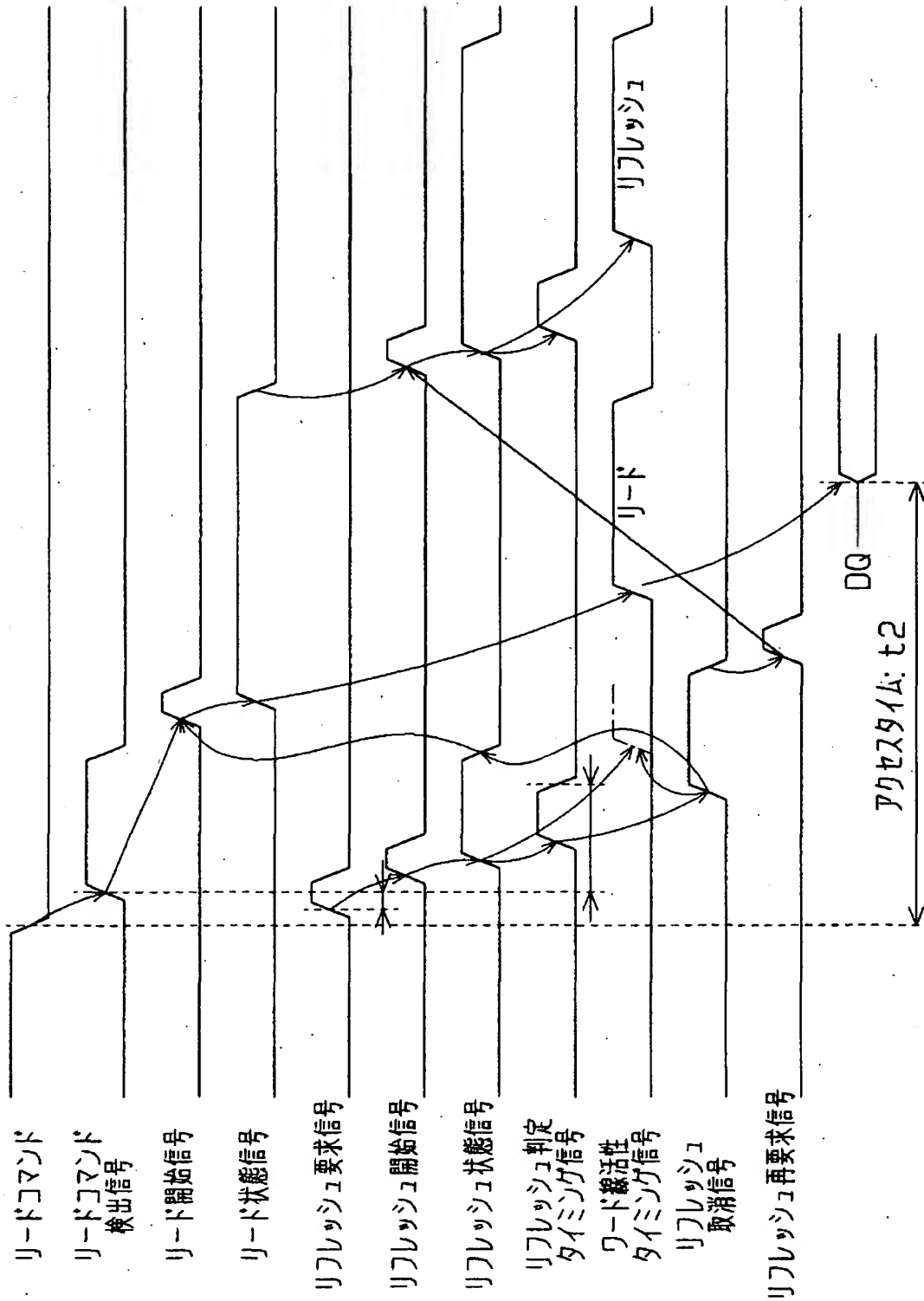
【図 7】

図6の一構成例を示す回路図



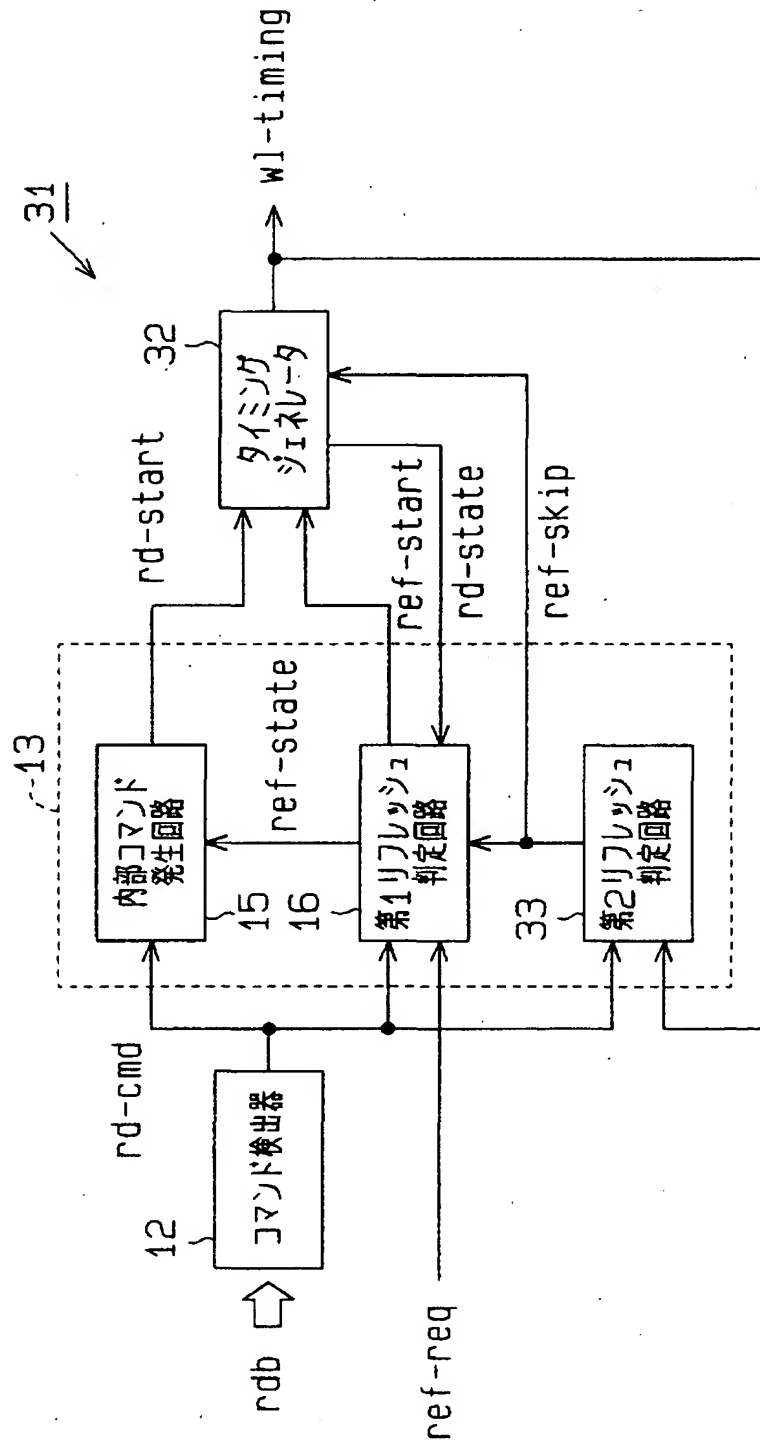
【図 8】

第二実施形態の動作波形図



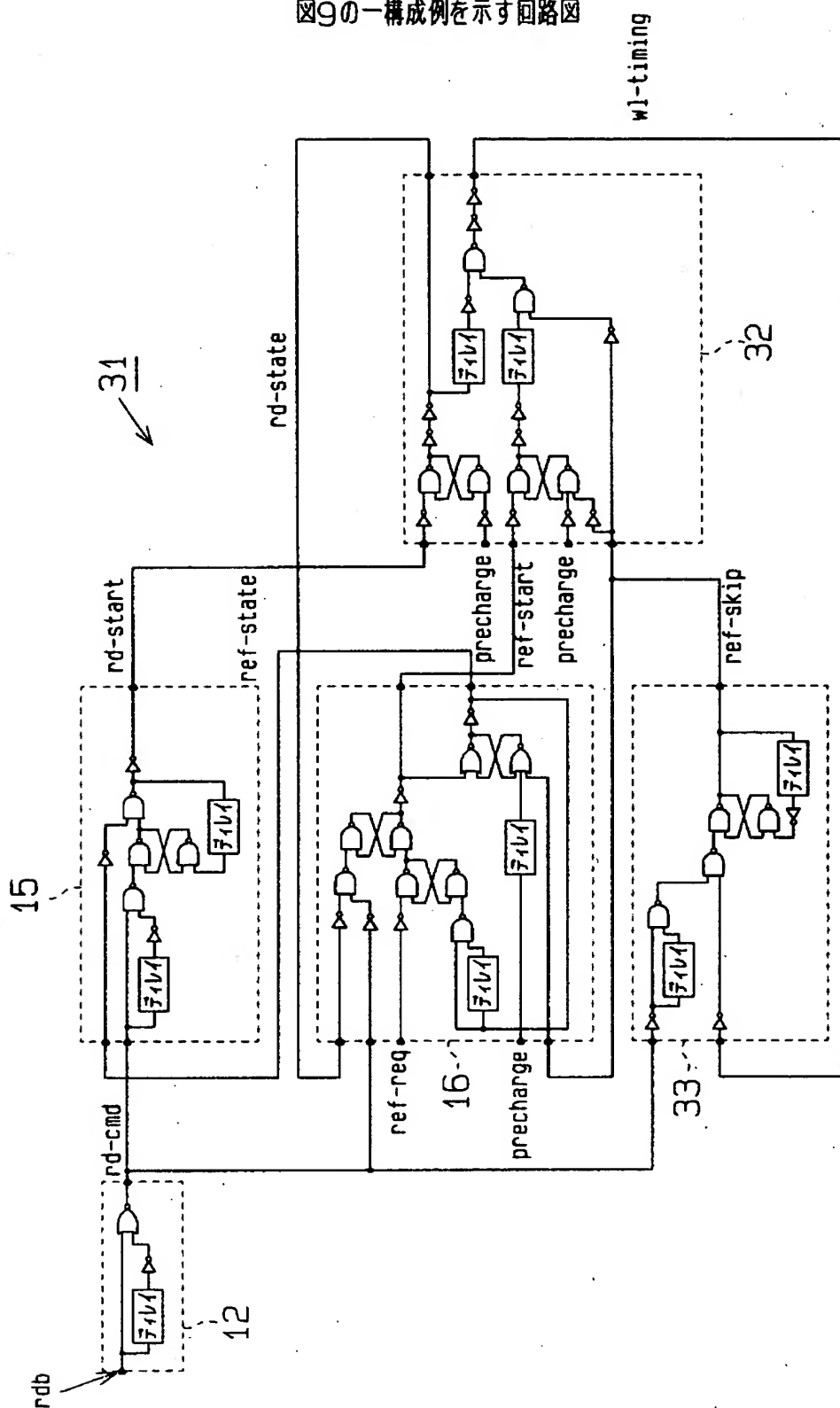
【図 9】

第三実施形態の制御回路を示すブロック回路図



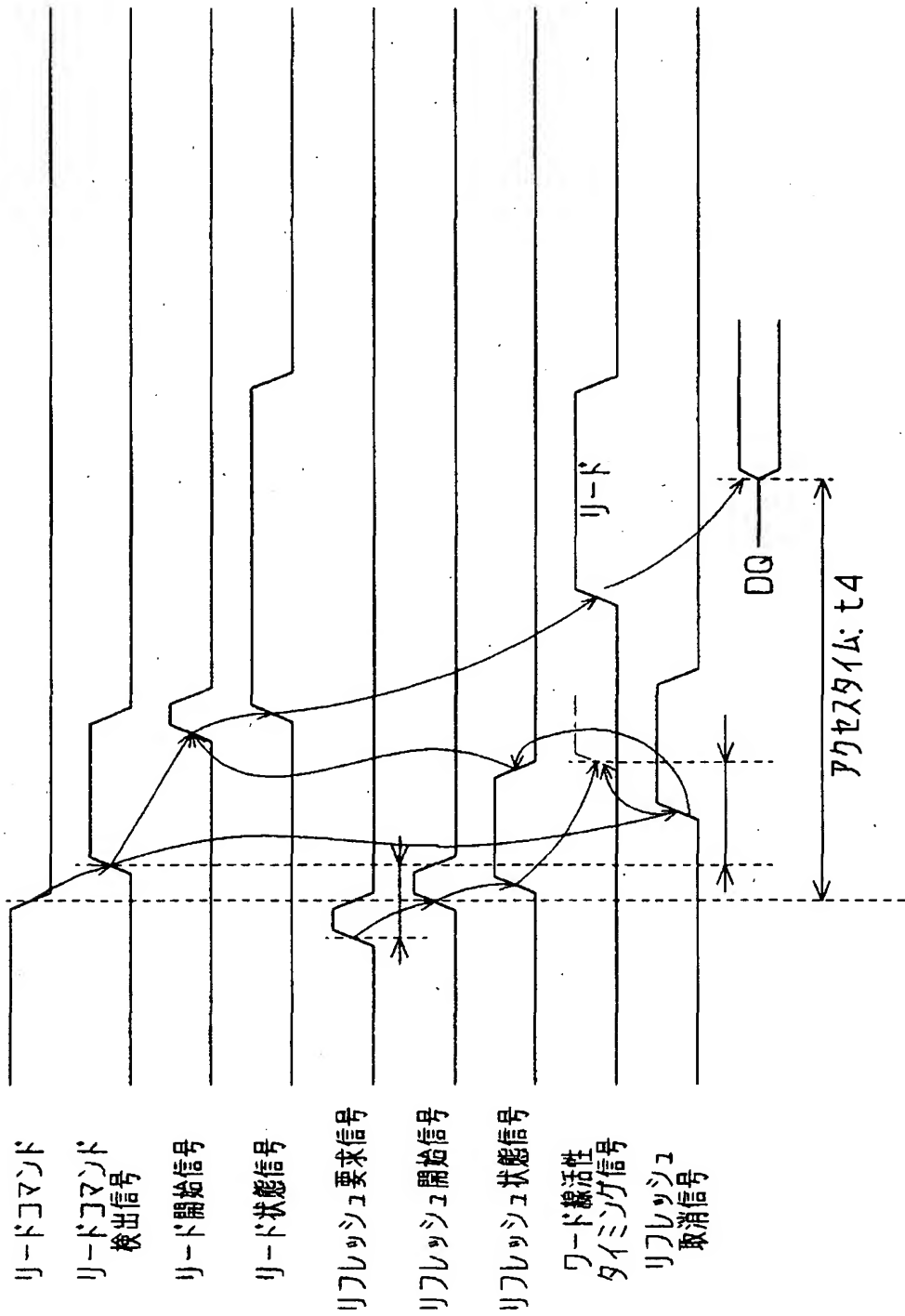
【図10】

図9の一構成例を示す回路図



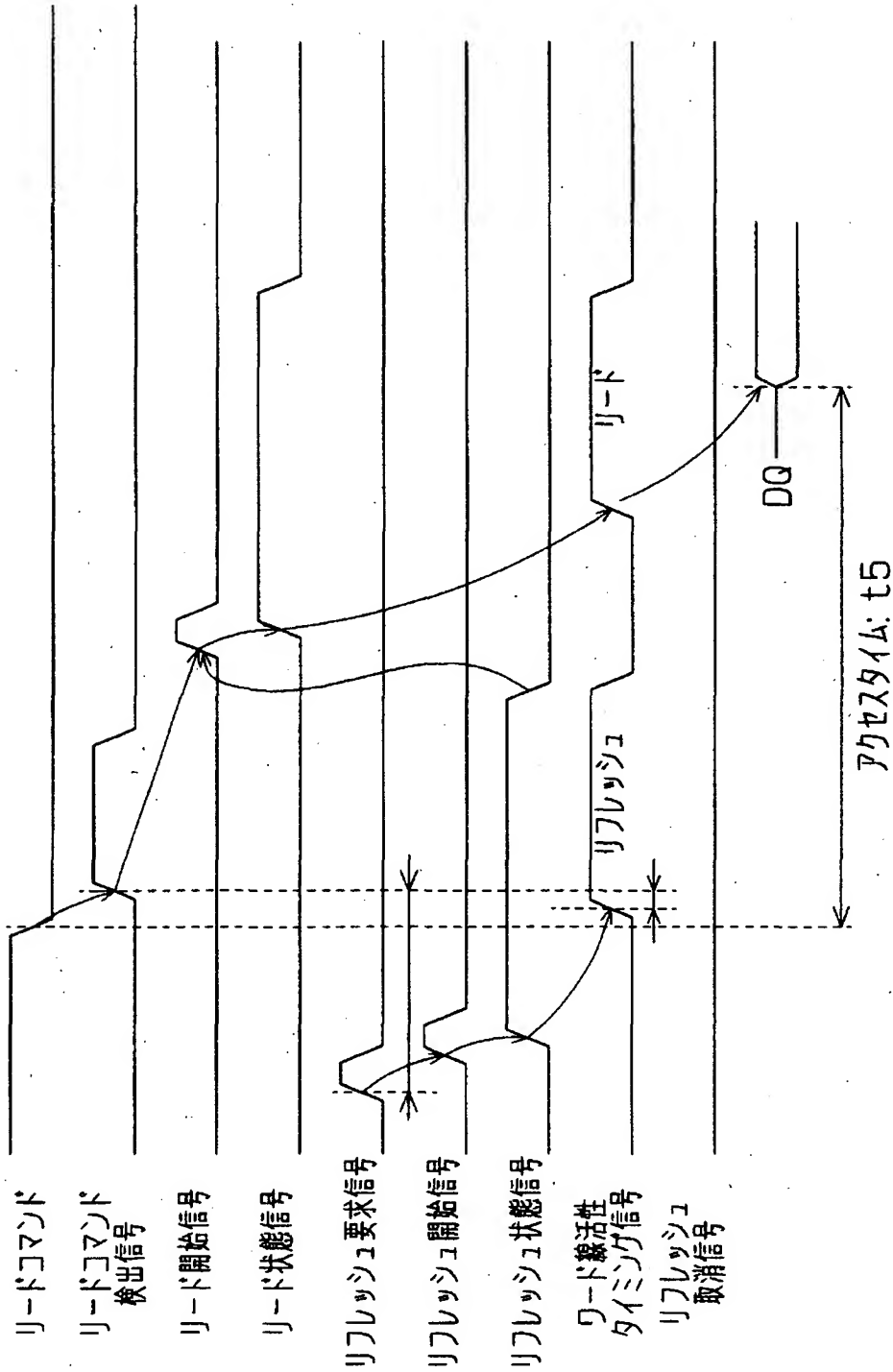
【図 11】

第三実施形態の動作波形図



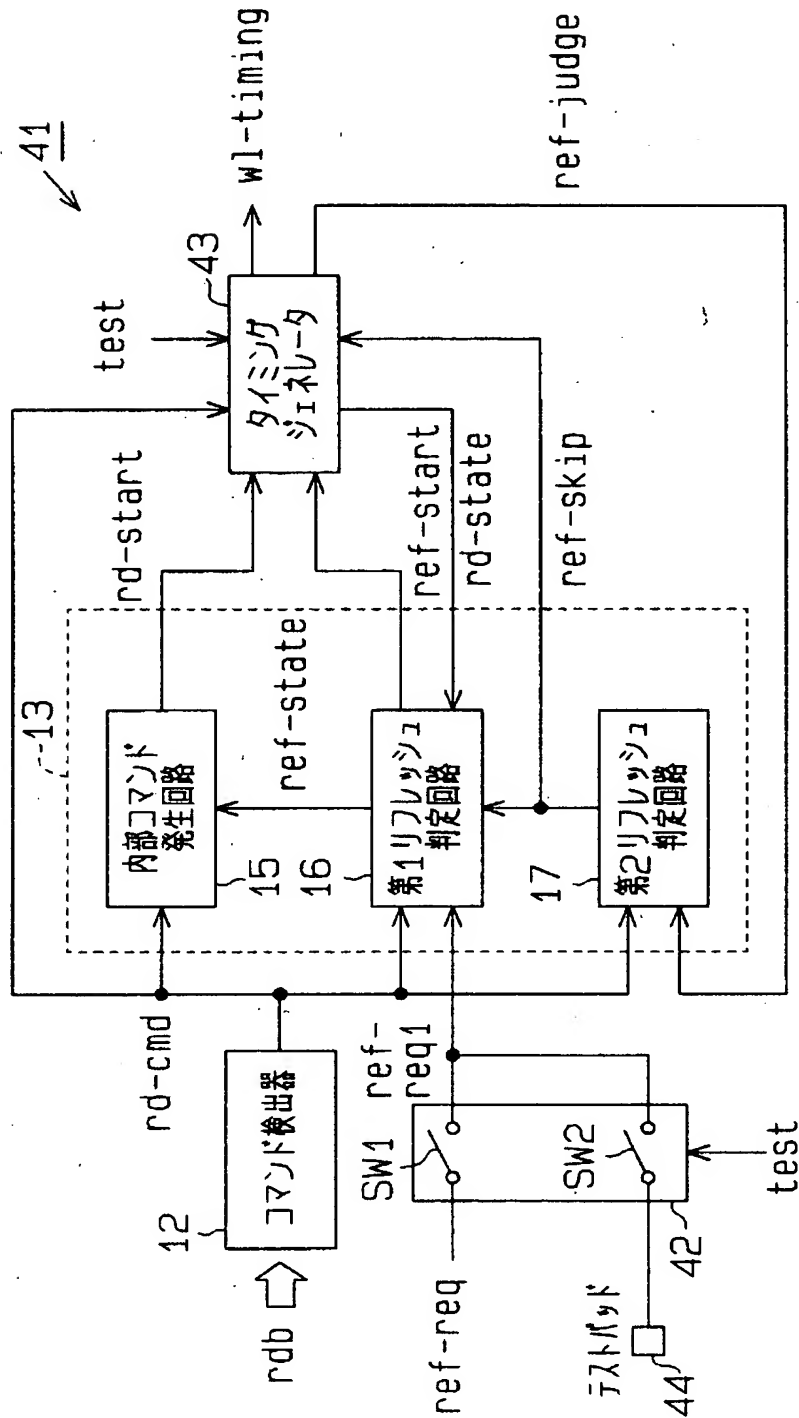
【図 12】

第三実施形態の動作波形図



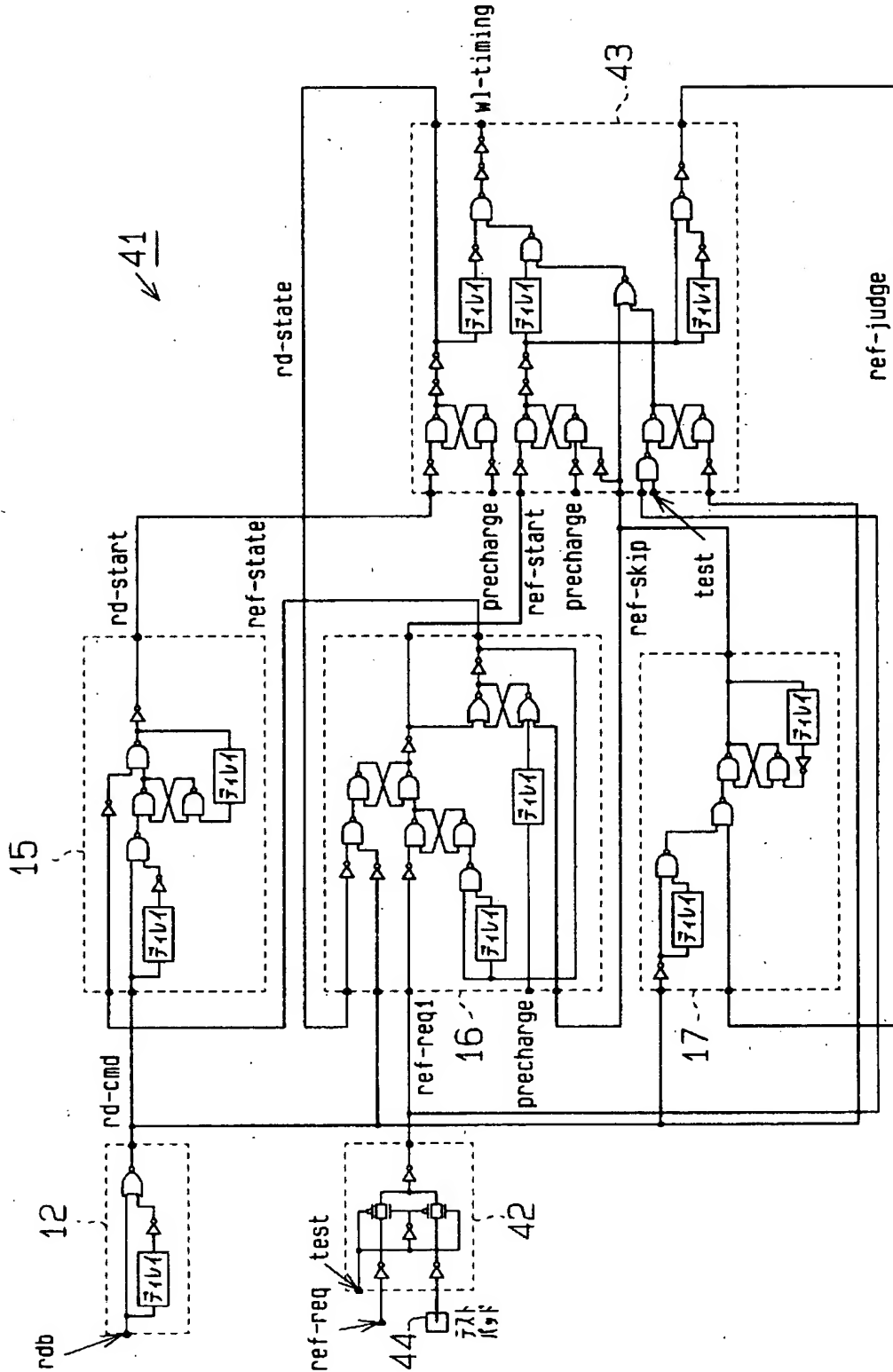
【図13】

第四実施形態の制御回路を示すブロック回路図



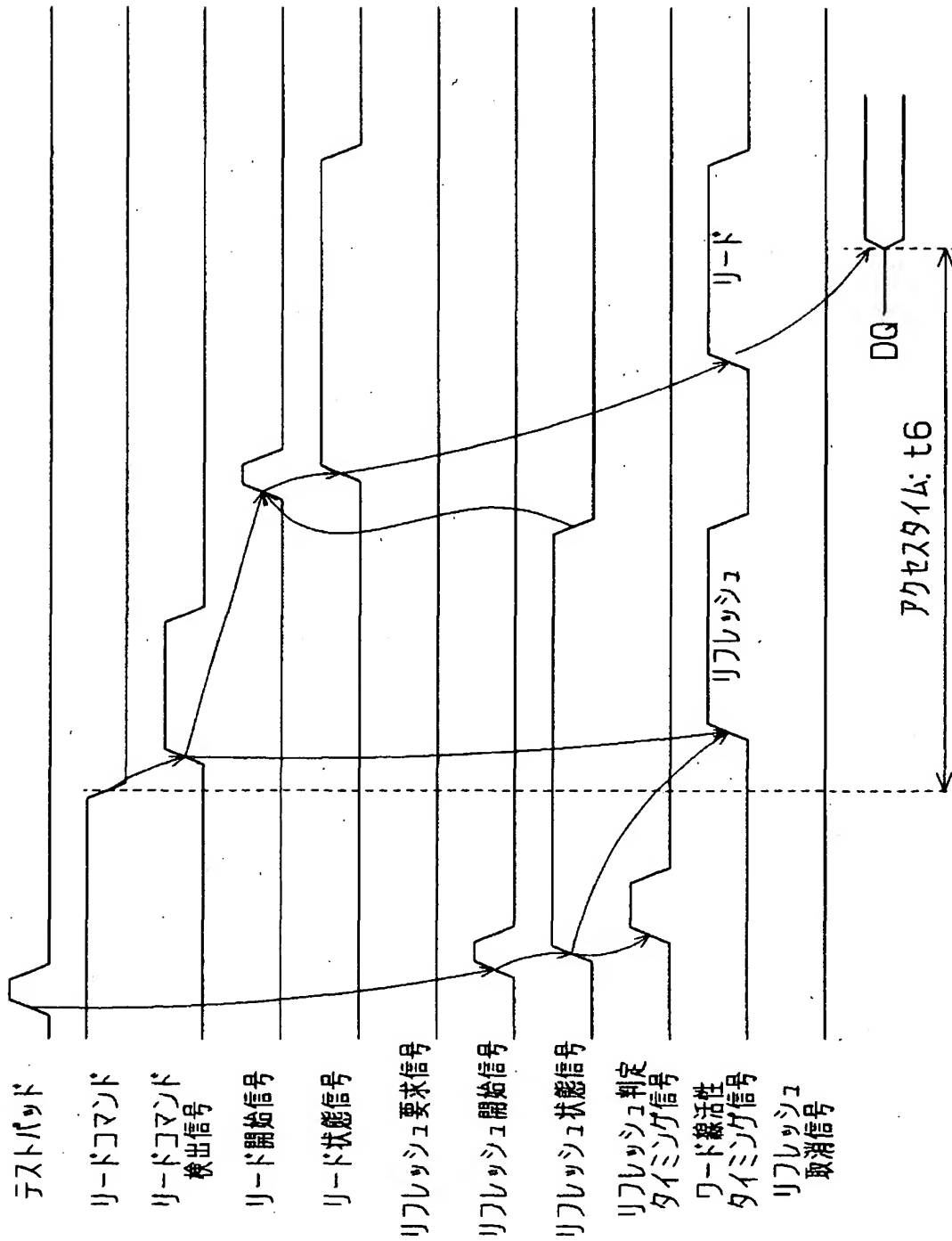
【図14】

図13の一構成例を示す回路図

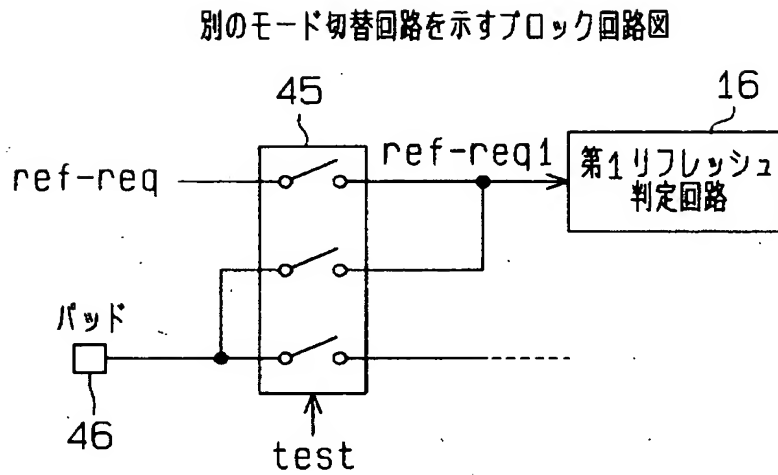


【図15】

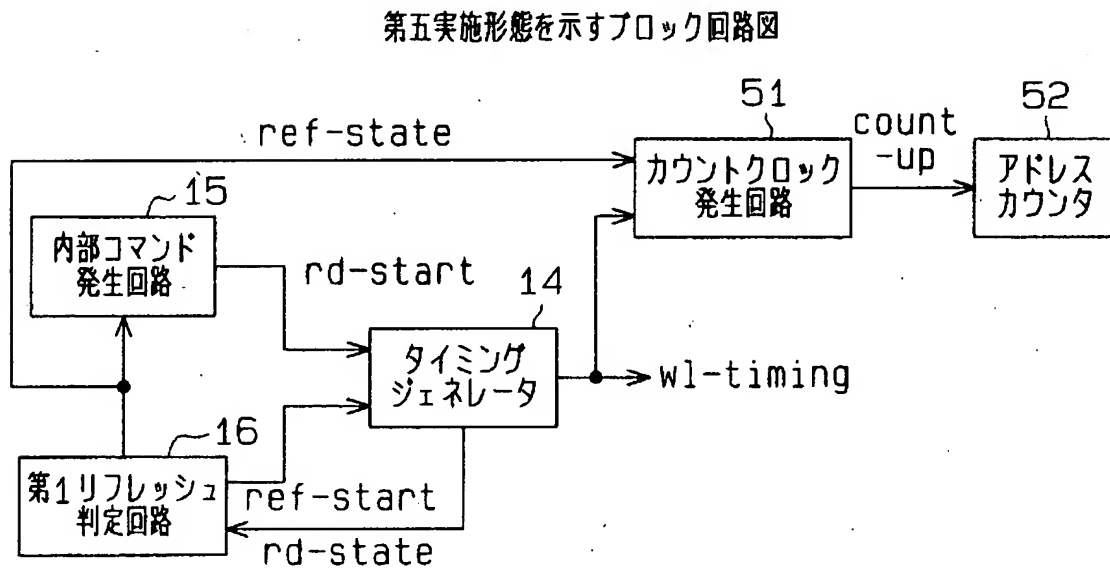
第四実施形態の動作波形図



【図 1 6】

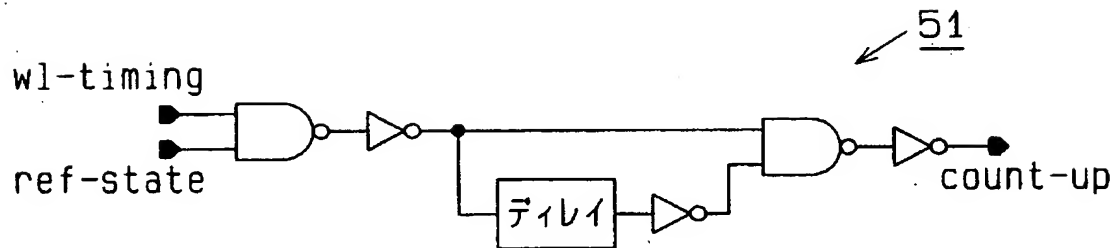


【図 1 7】



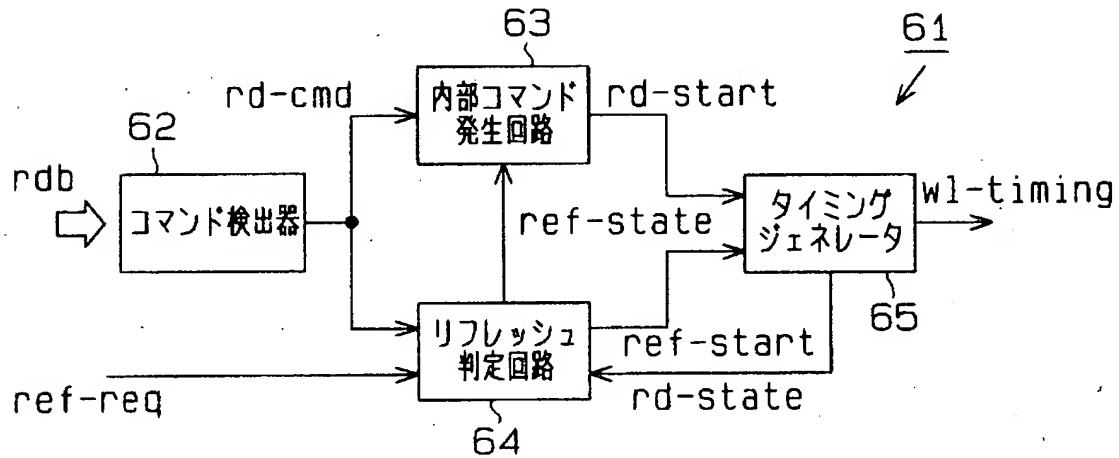
【図 1 8】

カウントクロック発生回路の一構成例を示す回路図



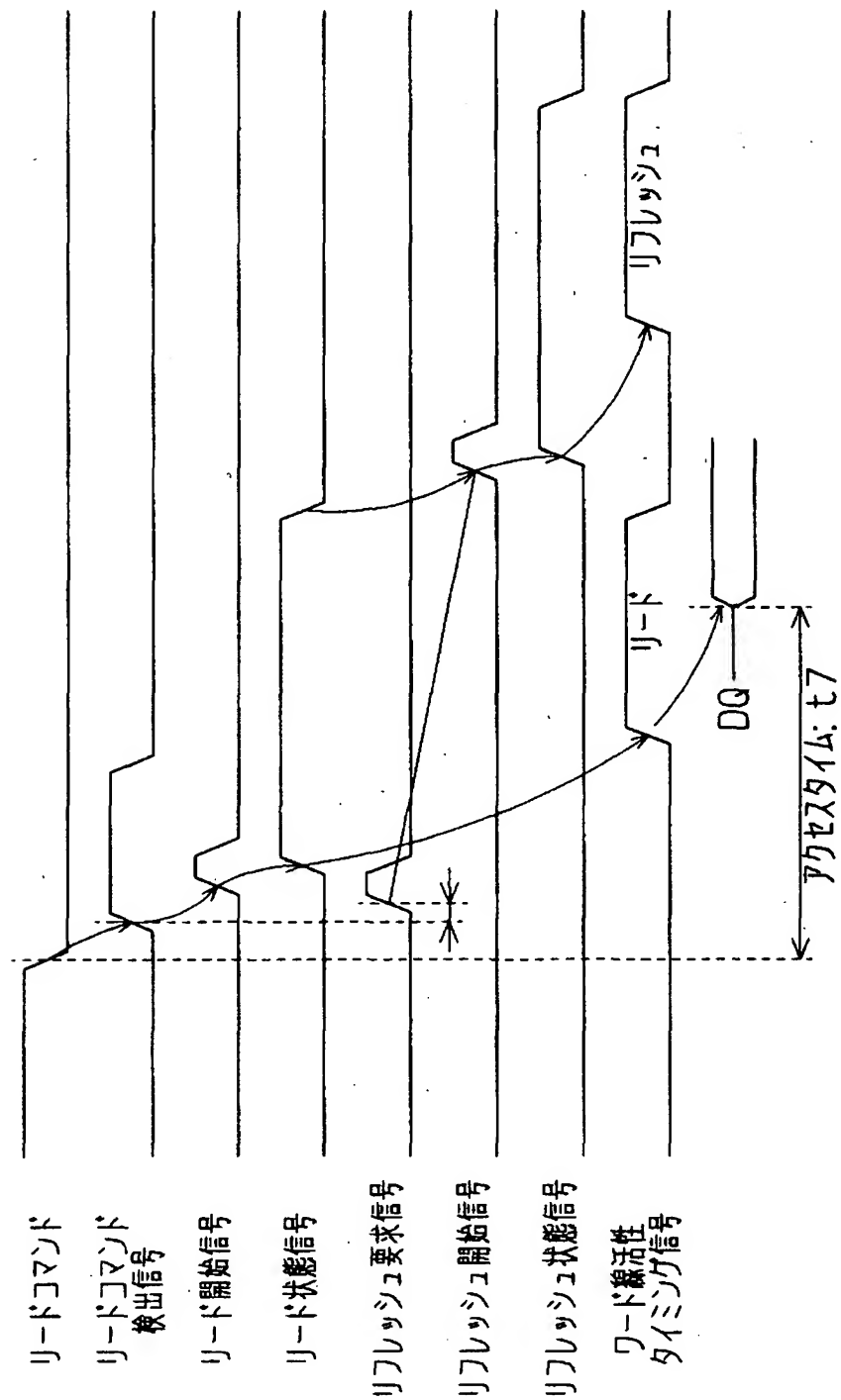
【図 1 9】

従来の制御回路を示すブロック回路図



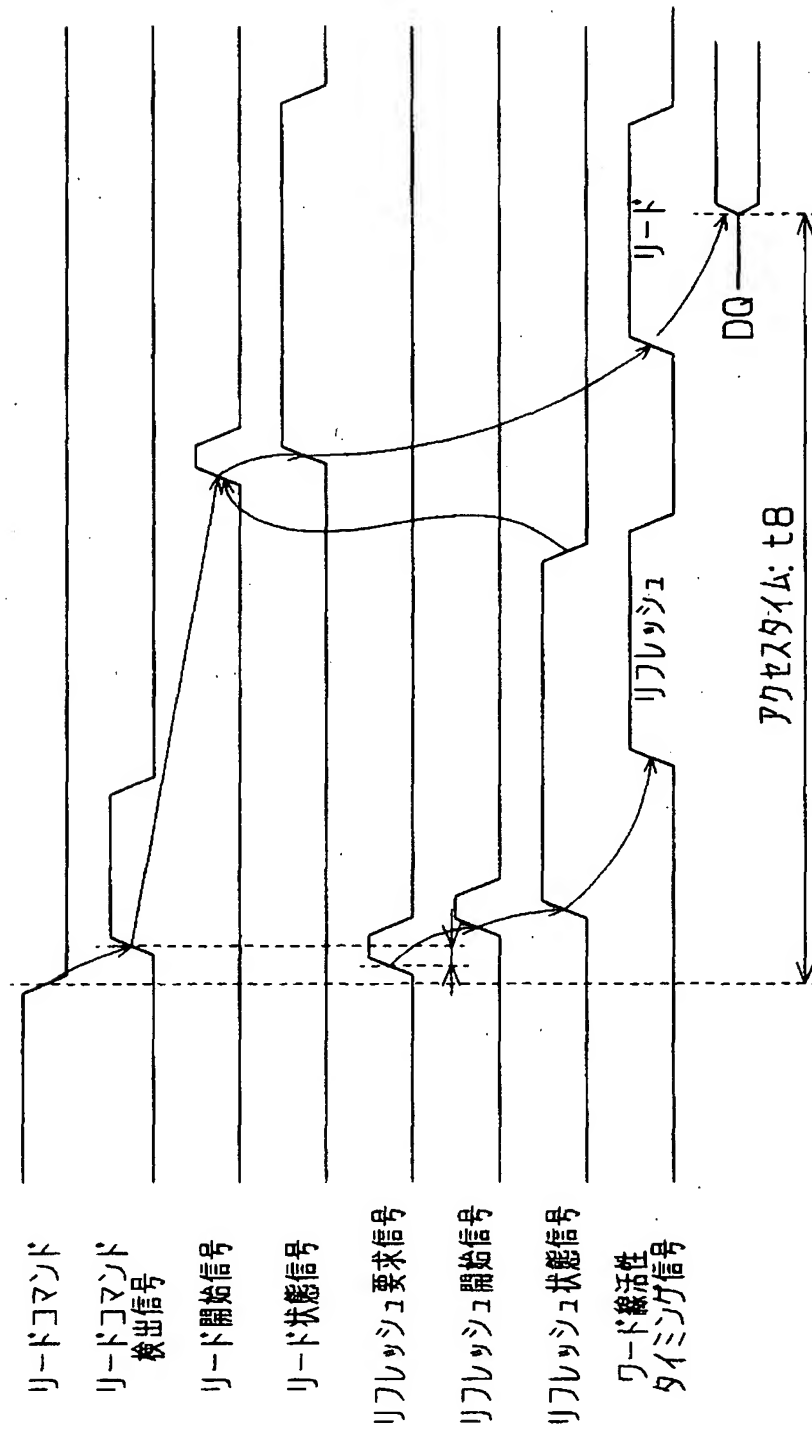
【図 20】

従来の動作波形図



【図 21】

従来の動作波形図



【書類名】 要約書

【要約】

【課題】 外部アクセスと内部アクセスとが競合する際の外部アクセスタイムを短縮することのできる半導体記憶装置を提供すること。

【解決手段】 外部アクセス（リード動作）と内部アクセス（リフレッシュ動作）との競合時に於いてリフレッシュ動作が優先された場合に、第2リフレッシュ判定回路17は、リフレッシュ判定タイミング信号ref-judgeに基づいてリード動作とリフレッシュ動作の何れの処理を優先するかを最終的に判断する。従って、アクセス競合時には、実質的にリフレッシュ用アドレスに対応するワード線が活性化されるまでリード動作を優先させることができる。これにより、外部アクセス時のアクセス遅延を低減させることができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社